طراحی خط تأخیر ترکیبی پهن باند برای استفاده در حلقه قفل تأخیر

مریم معاضدی

۱- استادیار گروه علوم مهندسی، دانشکده فناوریهای نوین، دانشگاه محقق اردبیلی، اردبیل- ایران

moazedi@uma.ac.ir

چکیده: برای داشتن نرخ‌داده با پهنای‌باند وسیع در سیستم‌های مخابراتی نسل جدید نیاز به استفاده از تکنولوژی پیشرفتهٔ مدیریت کلاک مانند حلقهٔ قفل تأخیر(DLL) می‌باشد. با پیدایش اینترنت اشیا سازمان‌ها به دنبال هوشنمند شدن هستند و توان مصرفی پایین و طراحی‌های جدید مورد تاکید همه سیستم‌های هوشمند است. با افزایش فرکانس و کارآیی سیستم‌های VLSI، طراحی سیستم توزیع کلاک دارای چالش‌های زیادی می‌شود، زیرا کیفیت کلاک تولید شده به نوعی تعیین‌کنندهٔ کارآیی کل سیستم می‌باشد. کیفیت سیگنال کلاک توسط چندین عامل از جمله فرکانس، فاز، دورهٔ کارکرد، جیتر و انحراف کلاک تعیین می‌شود. هر یک از مدارهای آنالوگ و دیجیتال محدودیت‌هایی دارند که در صورت استفاده از DL آنالوگ یا دیجیتال تنها نمی‌توان کلاک با کیفیت بالا داشت. یکی از این ایده‌های مطرح شده برای افزایش کارآیی DLها، استفادهٔ ترکیبی از مدارهای آنالوگ و دیجیتال در یک سیستم است. در این تحقیق یک خط تاخیر با استفاده از ترکیب مدارهای دیجیتال و آنالوگ، طراحی و سپس با استفاده از نرم‌افزار ADS 2008 بر مبنای تکنولوژی TSMC CMOSRF۰/۱۸ µm و ولتاژ تغذیهٔ ۱/۸ولت در سطح ترانزیستور شبیه‌سازی شده است. برای بلوک خط تأخیر، سلول تأخیر با کنترل ترکیبی و مدار گرایشی پیشنهاد شده است که با استفاده از تغذیهٔ بدنه امکان رسیدن به ورودی و خروجی خط‌به‌خط را فراهم کرده است. در نهایت مدار تأخیری با پهنای باند ۸۴۰MHz و جیتر مؤثر ۳/۷ psec در ۹۲۰MHz حاصل شده است، که در آن حداکثر توان مصرفی مدار در فرکانس ۹۲۰MHz برابر ۳/۹ mW می‌باشد.

واژه های کلیدی: خط تاخیر، سلول تاخیر تشنه جریان، تفاضلی کاذب، مدار ترکیبی دیجیتال و آنالوگ.

تاریخ دریافت مقاله: ۹۹/۰۶/۱۸	تاریخ پذیرش مقاله: ۹۹/۰۸/۱۸
از صفحه ۲۳تا ۳۴	نوع مقاله : پژوهشی
نویسنده مسئول: مریم معاضدی*	نشریه علمی فناوری اطلاعات و ارتباطات انتظامی- دوره اول- شماره ۳ – پاییز ۹۹

۱- مقدمه

سیستم‌های مخابراتی نوین در کاربردهای امنیتی و سیستم‌های رادیویی نیازمند زمان‌بندی دقیق و بدون نویز هستند. یکی از مشخصه‌هایی که کارآیی هر سیستم مخابراتی را تعیین می‌کند کیفیت کلاک سیستم است. انتقال کلاک از منبع تولید کلاک به بخش‌های مختلف سیستم مخابراتی توسط حلقه‌های قفل تاخیر (DLL[1]) انجام می‌شود که شامل خط تأخیر (DL[2]) به همراه حلقه فیدبک می‌باشد. اگرچه سیگنال غیر متناوب نیز می‌تواند با DL انتقال پیدا کند، اما ورودی DL در حالت کلی، قطعه‌ای است که عین سیگنال ورودی بعد از مدت زمان مشخصی در خروجی آن ایجاد می‌شود. چند شاخص عمده برای دسته‌بندی عناصر تأخیر وجود دارند. مورد نخست نوع قطعات مورد استفاده در ساختار مدار است که می‌توانند غیرفعال یا فعال باشند. در صورتی که تمام عناصر مورد استفاده غیرفعال باشد عنصر حاصل سلول تأخیر غیرفعال نامیده می‌شود، مانند [۱-۲]، و اگر حتی یک عنصر فعال در ساختار سلول استفاده شود سلول حاصل عنصر تأخیر فعال محسوب می‌شود [۳]. عنصر غیرفعال معمولاً با استفاده از یک نردبان سلفی - خازنی پیاده‌سازی می‌شود، به طوری که در آن خازن موازی با سیگنال و سلف سری با آن قرار می‌گیرد. در نتیجه بخشی از سیگنال ورودی در عنصر تلف می‌شود. هم‌چنین به دلیل مقاومت بالایی که دارد در زمان افت و خیز سیگنال تغییر قابل توجهی ایجاد می‌کند. علاوه بر آن به تغییرات فرآیند به شدت حساس است و سطح مصرفی و در نتیجه هزینهٔ بالایی دارد. در نتیجه استفاده از عناصر غیرفعال تقریباً منسوخ شده است. با استفاده از عناصر فعال می‌توان به مشکلات عناصر غیرفعال در ازای اندکی افزایش توان مصرفی غلبه کرد.

در تقسیم‌بندی دیگری عناصر تأخیر بسته به این‌که میزان تأخیر آن‌ها با سیگنال آنالوگ یا دیجیتال تنظیم شود، در دو دستهٔ کلی آنالوگ و دیجیتال قرار می‌گیرند. عنصر تأخیر کنترل شده با سیگنال دیجیتال مانند [۴-۷] معمولاً با پشت سر هم قرار دادن گیت‌های دیجیتالی ایجاد می‌شود و میزان تأخیر آن متناسب با تعداد گیت‌هایی است که در مسیر سیگنال قرار می‌گیرد که این تعداد توسط سیگنال کنترل دیجیتال تعیین می‌شود. بنابراین DL حاصل، تأخیر زمانی گسسته‌ای را در بازهٔ عملکرد وسیع فراهم می‌کند و از این رو برای تنظیمات دانه درشت مناسب است. از طرفی چون میزان تأخیر هر عنصر در این نوع DL یکسان است، در بازهٔ عملکرد خود رفتار خطی دارد. بر عکس چون در عنصر تأخیر آنالوگ رابطهٔ ولتاژ یا جریان کنترلی با تأخیر غیرخطی است، رفتار غیرخطی دارد [۸]. از طرفی چون با سیگنال کنترلی پیوسته تنظیم می‌شود، در کاربردهایی مناسب است که تأخیر کوچک اما دقیق مورد نیاز باشد. البته در برخی کاربردها از هر دو نوع روش در یک مدار بهره گرفته می‌شود که در این صورت سلول تأخیر ترکیبی حاصل می‌شود ([۹-۱۲]). در این پژوهش از سلول تأخیر فعال ترکیبی بهره گرفته شده است. ادامه مقاله به این ترتیب است، در بخش بعدی سلول تاخیر نمونه که پایه مطالعه ما در این تحقیق بود و مشکلات آن، به طور مختصر مورد مطالعه قرار داده شده است. سپس سلول تاخیر ترکیبی پیشنهادی و و معماری مورد نظر برای DL پهن‌باند تشریح شده است. در نهایت نتایج شبیه‌سازی ارائه و با برخی نمونه‌های موجود مقایسه شده است.

۲- سلول تاخیر نمونه

می‌توان مقدار تأخیر در هر نوع عنصر را متناسب با ثابت زمانی آن دانست که با تغییر خازن یا مقاومت مؤثر مقدار تأخیر تنظیم می‌شود. به این ترتیب به دو روش کلی می‌توان تأخیر سلول را با سیگنال خارجی کنترل کرد. هم‌چنین برای انعطاف‌پذیری بیش‌تر می‌توان مانند [۱۳] از هر دو روش مقاومت مؤثر و خازن مؤثر در سلول بهره برد.

در روش کنترل تأخیر با مقاومت مؤثر از ترانزیستور به عنوان مقاومت مؤثر استفاده می‌شود و با تغییر جریان اندازهٔ مقاومت و در نتیجه میزان تأخیر تنظیم می‌شود. این نوع از DL ساختار ساده و بازهٔ قابل تنظیم نسبتاً وسیعی دارد و در آن سلول تأخیر معمولاً با وارون‌گرهای تشنهٔ جریان پیاده‌سازی می‌شود و از این رو به آن عنصر تأخیر تشنهٔ جریان (CSDE) گفته می‌شود. با توجه به رابطهٔ (۱) میزان تأخیر در حقیقت متناسب با زمانی است که طول می‌کشد تا IC خازن خروجی را شارژ یا تخلیه کند.

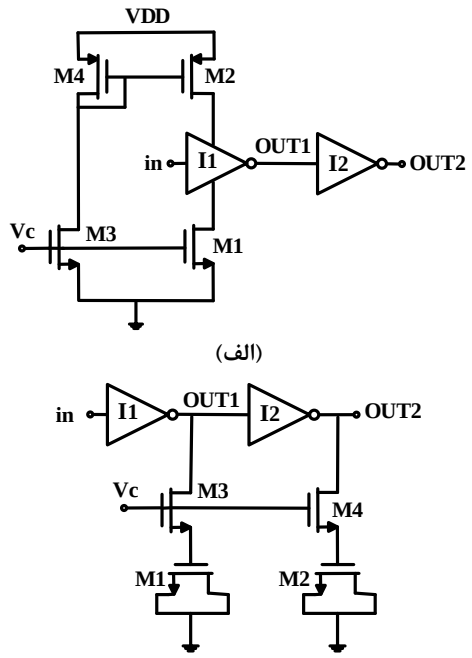
$$t_{delay} = \frac{C_{out} V_{swing}}{I_C} \quad (۱)$$

که در آن C_{out} کل خازن گره خروجی، V_{swing} دامنهٔ سیگنال خروجی و I_C جریان عبوری از خازن خروجی است که میزان تأخیر توسط آن تنظیم می‌شود. نمونهٔ متداولی از عنصر تشنهٔ جریان کنترل شده با ولتاژ در شکل (۱-الف) نشان‌داده شده است. همان‌طور که در شکل مشخص است، سلول تأخیر از دو وارون‌گر تشکیل‌شده است، ولتاژ کنترلی مقاومت مؤثر ترانزیستور M1 و از طریق آینه جریان (M3 و M4) مقاومت مؤثر M2 را تنظیم می‌کند. با جای‌گذاری مقادیر در معادله (۲) رابطهٔ زیر برای تأخیر سلول حاصل می‌شود:

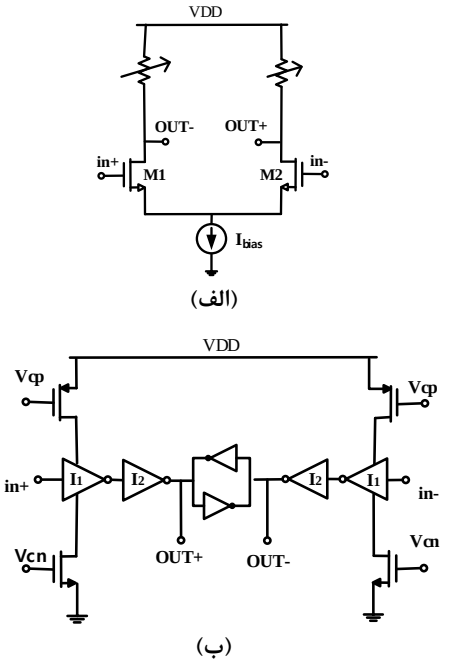
$$t_d = \frac{C_{out} VDD/2}{K_P (V_C - V_{th})^2} \quad (۲)$$

در روش کنترل با خازن مؤثر، در خروجی سلول تأخیر یک خازن موازی با گره خروجی سلول قرار می‌گیرد. از این رو به آن عنصر تأخیر با خازن موازی (SCDE)[3] گفته می‌شود.

[1] Delay Locked Loop
[2] Delay Line
[3] Shunt Capacitor Delay Element



شکل (۱): شمای مداری الف) CSDE ب) SCDE.



شکل (۲): شمای مداری (الف) سلول تأخیر تفاضلی و (ب) سلول تأخیر تفاضلی کاذب تشنه جریان (PDCSDE).

شکل(۱-ب) نمونهٔ عملی یک SCDE را نشان می‌دهد [۷]. میزان تأخیر در این سلول متناسب با $R(C_{int}+C_{exp})$ است که در آن R مقاومت اهمی معادل در گروه خروجی و C_{int} خازن ذاتی وارون‌گر و C_{exp} خازن خارجی متغیر اضافه شده به مدار است.

مشکل اجتناب‌ناپذیری در مورد تمام ساختارهای تک‌انتهایی وجود دارد و آن اثر نویز منبع تغذیه و زمین است. برای غلبه بر این مشکل سلول‌های تأخیر تفاضلی مطرح شده‌اند که در آن‌ها نوع عنصر بار بر پایهٔ ملاحظات طراحی انتخاب می‌شود. تا وقتی بارهای خروجی به خوبی بر هم منطبق باشند و امپدانس منبع جریان دنباله بالا باشد، خروجی از VDD و زمین مجزا خواهد بود [۱۴].

مشکل مشترک بین کلیهٔ ساختارهای تفاضلی که با تقویت‌کننده پیاده‌سازی می‌شوند زمان‌های افت و خیز غیریکسان است که باعث می‌شود حداکثر بازهٔ فرکانسی مدار محدود شود. مدارهای متنوعی برای کاهش اختلاف زمان‌ها ارائه شده‌اند[۱۵-۱۸]. چند مشکل دیگر در مورد سلول تأخیر تفاضلی وجود دارد که کارآیی آن را کاهش می‌دهد. نخست این‌که یک مدار اضافی برای تأمین جریان گرایش منبع جریان دنباله لازم است. این مدار گرایش باید طوری طراحی شود که عنصر در ناحیهٔ خطی بار قرار گیرد [۱۳]. دوم این‌که در این ساختار بازهٔ تغییرات خروجی محدود است. برای رسیدن به خروجی خطبه‌خط نیاز به یک مبدل انتقال دهندهٔ سطح خارجی است که معمولاً با مبدل تفاضلی به تک‌انتهایی این کار انجام می‌شود [۱۸]. هم‌چنین جریان DC در منبع جریان دنباله مصرف توان را در DLL افزایش می‌دهد. به کمک ساختار تفاضلی کاذب می‌توان به مشکلات اشاره شده غلبه کرد.

شکل (۲-الف) نمونه‌ای از این ساختار به همراه ترانزیستورهای ضربدری را که نخستین بار توسط کی لیم[1] ارائه شد، نشان می‌دهد [۱۹]. به دلیل امکان استفاده از ساختار تک‌انتهایی امکان داشتن خروجی خطبه‌خط بدون استفاده از تبدیل‌کنندهٔ سطح فراهم می‌شود و به دلیل حذف منبع جریان دنباله، توان مصرفی کاهش پیدا کرده است. در نتیجه از مزایای هر دو ساختار تفاضلی و تک‌انتهایی بهره گرفته می‌شود، با این تفاوت که ساختار تفاضلی کاذب برعکس ساختار تفاضلی که نسبت به همهٔ نویزهای مد مشترک DC و ac مقاوم است، فقط در برابر نویز مد مشترک DC مقاوم است. اما در حالت کلی می‌توان گفت با حذف منبع جریان دنباله کارآیی مدار افزایش می‌یابد. نویز فلیکر ناشی از منبع جریان حذف می‌شود به طور کلی حساسیت کمی نسبت به تغییرات PVT دارد. ساختار تفاضلی کاذب بر روی سلول تشنه جریان نیز قابل پیاده‌سازی است. شکل (۲-ب) نمونه‌ای از سلول تأخیر تشنهٔ جریان با ساختار تفاضلی کاذب (PDCSDE[2]) را نشان می‌دهد[۲۰]. این مدارها بازه ولتاژ وسیع و کارآیی جیتر مطلوبی دارند اما از مشکل خازن بارانگلی، که حداکثر فرکانس کاری را محدود می‌کند، رنج می‌برند [۲۱].

[1] Kee Lim
[2] Pseudo-Differential Current-Starved-Delay-Element

۳- خط تأخیر پیشنهادی

نخستین قدم در طراحی DL انتخاب سلول تأخیر پایه است. از جمله مشخصه‌های مهم، که در طراحی سلول تأخیر باید مورد توجه قرار گیرد، می‌توان به بهره، توان مصرفی، بازهٔ تغییر ولتاژ کنترلی، بازهٔ فرکانسی، حساسیت به نویز تغذیه و تغییرات PVT اشاره کرد. تأخیر کلی در خط تأخیر تشنهٔ جریان با رابطهٔ زیر به دست می‌آید:

$$T_{tot} = N(T_{var} + T_{int}) \quad (۳)$$

که در آن Ttot تأخیر کل DL، N تعداد سلولهای تأخیر ، Tvar تأخیر متغیر و Tint تأخیر ذاتی یا تأخیر انتشار سلول تأخیر است که وابسته به سیگنال کنترلی نیست. با استفاده از معادلهٔ (۴) بازهٔ تأخیر DL به شکل زیر به دست می‌آید:

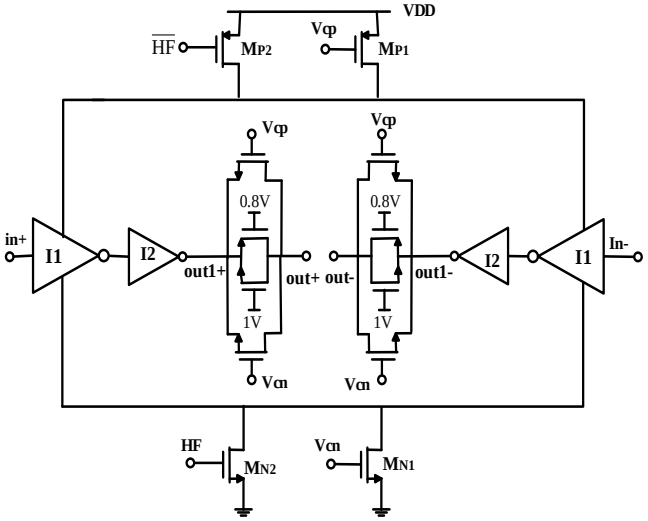
$$\begin{cases} T_{min} = N\,(t_{min} + t_{int}) \\ \qquad\qquad \Rightarrow T_{max} - T_{min} = N\,(t_{max} - t_{min}) \\ T_{max} = N\,(t_{max} + t_{int}) \end{cases} \quad (۴)$$

با توجه به رابطهٔ (۴) یک راه برای افزایش بازهٔ فرکانسی DL افزایش N است، اما چون تأخیر ذاتی نیز متناسب با آن بزرگ می‌شود، علاوه بر افزایش سطح و توان مصرفی، حداکثر فرکانس کاری DL را محدود می‌کند و بهرهٔ کلی آن را افزایش می‌دهد که مطلوب نیست [۲۰]. پس بهتر است تلاش شود تا به جای افزایش تعداد سلول‌ها، بازهٔ قابل تنظیم سلول را افزایش داد.

۴- طراحی سلول تأخیر

PDCSDE نسبت به دیگر انواع سلول‌های تأخیر مشخصه‌های بهتری دارد و در طراحی سلول تأخیر از آن به عنوان سلول تأخیر پایه استفاده شده است. یکی از ایرادهای اساسی ساختارهای تفاضلی کاذب این است که در برابر نویز مد مشترک ac مصونیت ندارند. این موضوع شاید در مدارهای آنالوگ چندان مهم نباشد، اما در مدارهای ترکیبی نویز تغذیه و زیرلایه، دو منبع اصلی نویز در DL هستند و باید در طراحی لحاظ شوند. شکل (۳) سلول تأخیر پیشنهادی را نشان می‌دهد که در آن برای کاهش حساسیت سلول به نویز روی تراشه شکل بهبودیافته‌ای از PDCSDE استفاده شده است که آن را PDCSDE بهبودیافته یا MPDCSDE نام‌گذاری نمودیم. همان‌طور که در شکل هم دیده می‌شود، سلول ورودی و خروجی تفاضلی دارد و در آن هم سیگنال دیجیتالی و هم ولتاژ آنالوگ برای تنظیم تأخیر به کار می‌رود.

به عبارتی دیگر، سلول تشنهٔ جریان در ساختار تفاضلی استفاده شده است، در عین حال برعکس ساختارهای تفاضلی معمولی توان DC چندانی تلف نمی‌کند. زیرا در هر تغییر وضعیت سیگنال ورودی خازن یکی از خروجی‌ها از مسیر ترانزیستورهای کنترلی NMOS در حال تخلیه و خازن خروجی دیگر از مسیر ترانزیستورهای کنترلی PMOS در حال شارژ است. در نتیجه به جز لحظات گذر، که در سلول تشنهٔ جریان معمولی هم وجود دارد، مسیر مستقیم جریان از تغذیه تا زمین ایجاد نمی‌شود. علاوه بر آن، با توجه به این‌که نسبت به تشنه جریان معمولی، قطع و وصل ترانزیستورها سریع‌تر و در نتیجه زمان گذر کوچک‌تر است، توان مصرفی آن کم‌تر از PDCSDE می‌باشد. از طرفی، چون مدار ساختار تفاضلی دارد لزومی به استفاده از ترانیستورهای اتصال ضربدری نیست. با توجه به این‌که خازن گره out1 نقش تعیین‌کننده در میزان تأخیر سلول دارد، لازم است ابعاد وارون‌گرهای متصل به این گره مناسب انتخاب شوند. برای این منظور ساختار تشنهٔ جریان را از دید خازنی دقیق‌تر بررسی می‌کنیم.



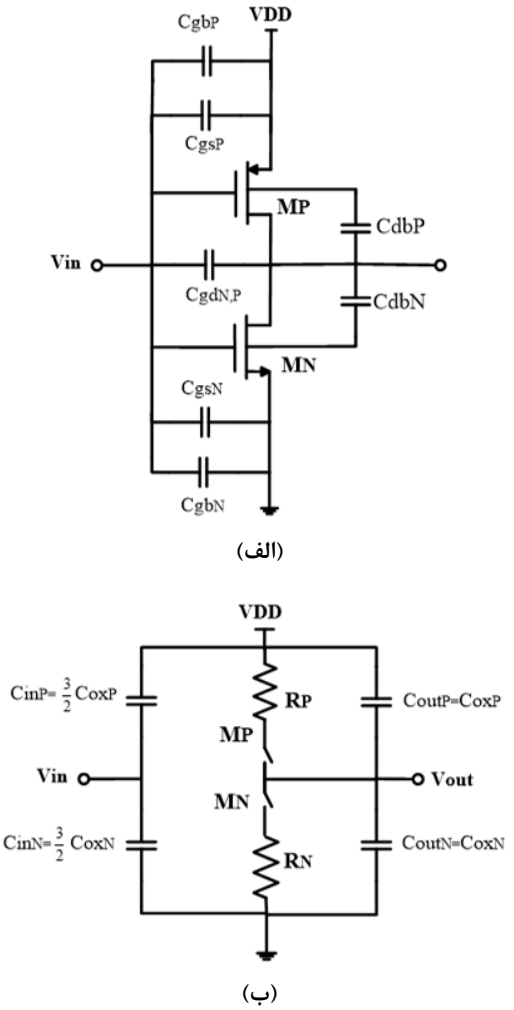
شکل (۳): سلول تأخیر پیشنهادی.

شکل (۴-الف) خازن‌های داخلی یک وارون‌گر CMOS را در حالت کلی نشان می‌دهد. در صورتی که از وارون‌گر در مدار دیجیتال استفاده شود، در هر لحظه یکی از ترانزیستورها روشن و دو سر آن اتصال کوتاه می‌باشد. در شکل (۴-ب) مدار معادل دیجیتال وارون‌گر با فرض باز بودن هر دو کلید رسم شده است، که شامل خازن‌های مؤثر آن از دید ورودی و خروجی و مقاومت معادل ترانزیستورهای آن در حالت روشن می‌باشد [۲۲].

در عمل یکی از کلیدها در هر لحظه خاموش است. در نتیجه برای خازن مؤثر وارون‌گر CMOS در حالت کلیدزنی می‌توان نوشت:

$$Cin = \frac{3}{2} C'ox\,(WnLn + WpLp) \quad (۵)$$

$$Cout = C'ox\,(WnLn + WpLp) \quad (۶)$$



شکل (۴): (الف) خازن‌های داخلی وارون‌گر (ب)مدار معادل دیجیتال وارون‌گر با فرض باز بودن هر دو کلید.

با توجه به مطالب بیان شده خازن کلی در گره out1 از سلول تأخیر، که در آن گره خروجی طبقهٔ نخست به گره ورودی طبقه دوم وصل است، با رابطهٔ زیر برابر است:

$$Ctot = Cw + Cout + Cin \qquad (۷)$$

که در آن Cw خازن ناشی از آثار فلزی اتصالات است که پس از کشیدن جانمایی استخراج می‌شود که در این‌جا از آن صرف نظر شده است، Cout خازن مؤثر خروجی وارون‌گر نخست و Cin خازن مؤثر ورودی وارون‌گر دوم است.

با توجه به روابط (۶) و (۷) مشخص است که با W و L یکسان تأثیر طبقهٔ دوم در خازن گره out1 بیش‌تر است، بنابراین به نظر می‌رسد که بهتر است برای صرفه‌جویی در سطح مصرفی، ابعاد طبقهٔ دوم بزرگ‌تر انتخاب شود، از طرفی برای افزایش بازهٔ تأخیر در سلول تشنهٔ جریان لازم است ابعاد ترانزیستورهای وارون‌گر طبقهٔ نخست نسبت به ترانزیستورهای کنترلی خیلی بزرگ‌تر باشد. از این رو نسبت W/L در طبقهٔ نخست بزرگ‌تر از طبقهٔ دوم انتخاب شده است. هم‌چنین ترانزیستورهای کنترلی تا حد امکان کوچک انتخاب شده‌اند.

به منظور افزایش بازه فرکانسی سلول تأخیر به جای بافر معمولی در گره خروجی از گیت انتقال[1] استفاده شده است. گیت انتقال به عنوان مقاومت متغیر کنترل شده با ولتاژ در مدارهای مختلف کاربرد دارد و می‌تواند به عنوان سلول تأخیر استفاده شود [۲۳]. در این مدار با قرار دادن آن در گره خروجی در واقع دو سلول با هم سری شده‌اند. تا علاوه بر تأخیر خود سلول مقداری تأخیر که خود نیز متغیر با ولتاژ کنترلی هست به آن اضافه شود. برای ادامه روند طراحی لازم است گیت انتقال دقیق‌تر بررسی گردد. اگر یک سیگنال پله‌ای به یک سمت گیت انتقال اعمال شود، سیگنال تأخیر یافته در سمت دیگر، که به خازن خارجی بزرگ‌تر از خازن انگلی متصل شده است، ظاهر می‌شود. با فرض اینکه این فرایند مدل ثابت زمانی مرتبه ۱ دارد، مقاومت موثر گیت انتقال با رابطه زیر بیان می‌شود:

$$R_{eff} = \frac{t_d}{C_L \ln(2)} \qquad (۸)$$

که در آن td مدت زمانی است که طول می‌کشد سیگنال خروجی به نصف مقدار نهایی برسد. حال باید مقدار مقاومت موثر محاسبه شود. با تحلیل زمانی به کمک قانون توان آلفا که در آن جریان اشباع درین متناسب با ولتاژ (Vgs-Vth) به توان آلفا هست، مقاومت موثر با رابطه زیر محاسبه می‌شود:

$$R_{eff} = \frac{1}{G_{eff}} = \frac{V_{DD} V_o}{I_D} \qquad (۹)$$

که در آن Geff هدایت موثر گیت و I_D جریان عبوری از گیت و Vo ولتاژ خروجی آن است. از آن جا که Vo و I_D هم‌زمان تغییر می‌کند، برای تحلیل آن باید از تئوری احتمال استفاده کرد. در مقادیر ولتاژ زیر آستانه که ترانزیستورها خاموش هستند هدایت نزدیک صفر است، با افزایش پله‌ای ولتاژ ترانزیستورها هدایت می‌کنند و سیگنال خروجی شروع به افزایش از صفر تا VDD می‌کند. در این حین ترانزیستور PMOS از اشباع به اهمی می‌رود اما NMOS تا موقع خاموش شدن در ناحیه اشباع می‌ماند. در صورتیکه Vctrl در VDD ثابت بماند، مقدار Geff با متوسط‌گیری از هدایت موثر هر یک به دست می‌آید. حال با اعمال رابطه توان آلفا بر حسب VDD منحنی هدایت انتقالی بر حسب Vctrl به دست می‌آید.

در سلول تأخیر طراحی شده برای انتقال سیگنال در ولتاژهای زیر آستانه منبع جریان متشکل از دو ترانزیستور موازی به گیت انتقال اضافه و به گیت آنها ولتاژ ثابت ۱ ولت اعمال شده است تا در ولتاژهای زیر آستانه سیگنال خروجی را انتقال دهد و نیز عملکرد گیت را به ویژه در ولتاژهای نزدیک ولتاژ آستانه بیش‌تر خطی بنماید. با توجه به این‌که گیت انتقال با ترانزیستورهای با تغذیه ۱ ولت در گیت موازی هستند، تأثیر گیت انتقال در میزان تأخیر سلول در ولتاژهای بالای ۱ ولت بیش‌تر خواهد بود.

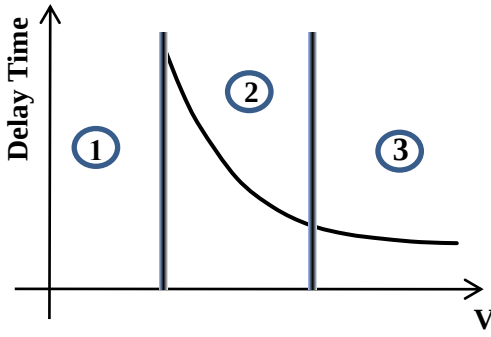
[1] Transmition Gate

۴-۱- طراحی مدار گرایش

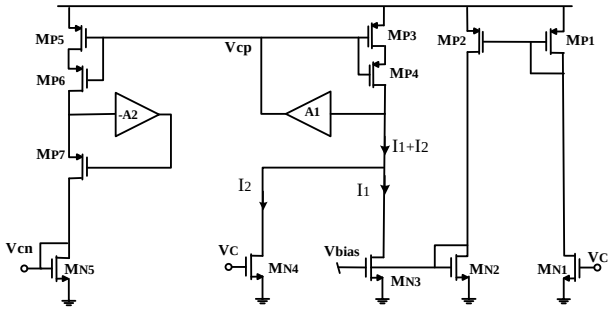
دو مسألهٔ مهم دیگری که در ساختارهای تشنهٔ جریان معمولی وجود دارند ناخطینگی و ناحیهٔ مردهٔ آن است؛ از آن‌جا که عامل تنظیم تأخیر سلول جریان است، به نظر می‌رسد با طراحی مدار گرایش مناسب برای تأمین جریان، می‌توان به مشخصه‌های مورد نظر دست یافت. در این تحقیق نیز با انجام این کار، سلول تأخیر تقریباً خطی با ناحیهٔ مردهٔ صفر حاصل شده است. در ادامه، ابتدا ایدهٔ اصلی به کار رفته مطرح کرده و سپس مدار پیشنهادی را شرح می‌دهیم. در سلول تشنهٔ جریان معمولی که ولتاژ کنترلی مستقیم به سلول اعمال می‌شود، داریم:

$$I \propto V^2 \Rightarrow t \propto 1/V^2 \Rightarrow \frac{dt}{dV} = \frac{-A}{V^3} \qquad (۱۰)$$

که در آن شیب تغییرات تأخیر در V_Cهای کوچک بزرگ و با افزایش V_C متناسب با توان سوم آن کاهش می‌یابد. با کمی دقت در منحنی خروجی شکل (۵)، سه ناحیهٔ مختلف در آن می‌توان تشخیص داد. ناحیهٔ مرده که در آن تأخیر تعریف نشده است، ناحیهٔ نزدیک ولتاژ آستانه که در آن شیب منحنی بالاست و ناحیهٔ ولتاژ بالا در آن که شیب منحنی پایین است. شیب بالا در حقیقت به معنی بهرهٔ حلقهٔ بالاست که باعث می‌شود جیتر در فرکانس‌های کم افزایش قابل توجهی پیدا کند و شیب کم نیز عملاً هدر دادن بازهٔ مفید ولتاژ کنترلی است. مدار گرایش پیشنهادی به کمک گیت انتقال بهرهٔ متعادل در کل بازهٔ ولتاژ کنترلی را تأمین می‌کند. با توجه به این‌که در ولتاژ زیرآستانه ترانزیستور روشن نیست و تغییر ولتاژ گیت در عمل معنی ندارد، از تغذیهٔ بدنه برای تغییر جریان در ناحیه یک بهره گرفته شده است. در ناحیهٔ دوم که شیب تغییرات زیاد است، در واقع حساسیت به تغییر ولتاژ ورودی بالاست اگر میزان افزایش جریان تولیدی کوچک‌تر از افزایش ولتاژ باشد می‌توان انتظار داشت که شدت تغییر تأخیر نیز کاهش یابد.



شکل (۵) منحنی تأخیر PDCSDE بر حسب ولتاژ کنترلی.



شکل (۶) مدار گرایش پیشنهادی برای سلول تأخیر.

به طور مشابه در ناحیهٔ سوم که شیب تغییر تأخیر کم است، اگر سرعت تغییر جریان تولیدی بالا باشد، وابستگی تأخیر به ولتاژ نیز در این ناحیه افزایش می‌یابد. شکل (۶) مدار گرایش طراحی شده را نشان می‌دهد.

جریان‌های I1 و I2 به ترتیب در نواحی ۱ و ۲ از بازهٔ ولتاژ کنترلی مؤثر هستند. چنان‌که در بخش قبل توضیح داده شد گیت انتقال جریان اضافی لازم را در ناحیه سوم برای رفتار خطی تأمین می‌کند. بدون وجود M_{N3} ولتاژ کنترلی بین تغذیه و آستانه محدود می‌شود. اما در این مدار با کاهش ولتاژ کنترل از ولتاژ آستانه، M_{N4} و M_{N5} خاموش می‌شوند اما چون پایهٔ گیت M_{N3} به ولتاژ گرایش ثابت وصل شده است، همواره روشن است و چون تغذیهٔ بدنه آن متناسب با ولتاژ کنترلی افزایش می‌یابد، ولتاژ آستانهٔ آن با افزایش ولتاژ کنترلی کوچک شده در نتیجه جریان آن افزایش می‌یابد. به این ترتیب ولتاژ کنترلی می‌تواند از زمین تا VDD تغییر کند.

برای تولید ولتاژ کنترل بدنه جریان تولید شده توسط VC را از دیود M_{N2} عبور می‌دهیم. ولتاژ دو سر دیود متناسب با جریان تغییر می‌کند در واقع با V_C تغییر می‌کند. در نهایت جریان I1 متناسب با V_C افزایش می‌یابد. با توجه به این‌که در ولتاژ زیر آستانه جریان I2 صفر است، جریان گرایشی که وارد سلول‌های تأخیر می‌شود فقط ناشی از M_{N3} است. لازم به ذکر است که چون V_C کوچک‌تر از ولتاژ آستانه است، جریان تولید شده در M_{N1} در واقع جریان زیر آستانه ترازیستور است و شیب تغییرات ولتاژ M_{N2} پایین است که در V_Cهای کوچک مطلوب است. علاوه بر آن برای کاهش بیش‌تر شیب تغییر جریان نسبت W/L ترانزیستور M_{N1} و ابعاد ترانزیستور M_{N3} کوچک انتخاب شده است. در مقادیر بزرگ V_C دیود بدنه‌سورس M_{N3} گرایش مستقیم پیدا می‌کند و پس از آن ولتاژ بدنهٔ M_{N3} و در نتیجه جریان I1 تقریباً ثابت می‌ماند؛ به عبارتی دیگر M_{N3} مانند منبع جریان برای ترانزیستورهای کنترلی مسیر جریان کمکی ایجاد می‌کند، که به کاهش شیب منحنی و خطی شدن آن در ناحیهٔ دو کمک می‌کند؛ به این ترتیب علاوه بر این‌که بازهٔ قابل تنظیم DL گسترش یافته و امکان رفتار خطبه‌خط برای کنترل DC فراهم می‌شود، خطینگی بهبود پیدا می‌کند.

وقتی ولتاژ کنترلی به اندازهٔ کافی افزایش پیدا کرد و در ناحیهٔ دو قرار گرفت، M_{N4} روشن شده و تغییر جریان گرایش را در ناحیهٔ دو به عهده می‌گیرد. در این ناحیه مطلوب این است که تغییرات جریان کوچک باشد، از این رو با توجه به رابطهٔ (۱۱) نسبت W/L ترانزیستور M_{N4} را کوچک انتخاب می‌کنیم تا میزان افزایش جریان به ویژه در ولتاژهای نزدیک V_T اندک باشد.

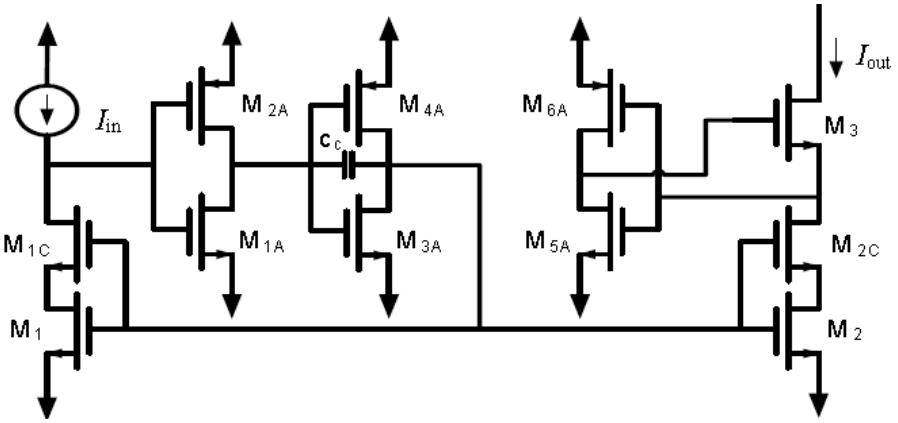
$$I = \frac{1}{2}\mu Cox\frac{W}{L}(V_C - V_T)^2 \Rightarrow \frac{dI}{dt} = \mu Cox\frac{W}{L}(V_C - V_T) \quad (۱۱)$$

وقتی DLL در وضعیت فرکانس بالا قرار گیرد سیگنال HF مقدار یک خواهد داشت و در نتیجه جریان کمکی توسط PMOS و NMOS متصل به آن در سلول تأخیر تزریق می‌شود و به کاهش تأخیر کمک می‌کند. نقاط اتصال دو گیت و درین در آینه جریان برای DL تولید قطب می‌کنند که باید دقت شود رفتار دینامیکی DLL را در فرکانس بالا خراب نکنند. در نتیجه ابعاد این ترانزیستورها تا حد امکان کوچک انتخاب می‌شود تا قطب‌های ایجاد شده دور بوده و تأثیری در پایداری مدار نداشته باشند. از طرفی نمی‌توان ابعاد آن‌ها را خیلی کوچک انتخاب کرد، زیرا علاوه بر افزایش میزان مدولاسیون طول کانال، به عنوان مثال در صورتی که نسبت W/L ترانزیستورهای M_{P5} و M_{P6} خیلی کوچک انتخاب شود، با افزایش جریان ولتاژ دو سر درین و سورس M_{P5} بزرگ‌شده و باعث می‌شود M_{N5} به ناحیهٔ اهمی خود نزدیک شود. بنابراین در انتخاب ابعاد ترانزیستورهای مدار گرایش باید توازنی بین این دو موضوع برقرار کرد.

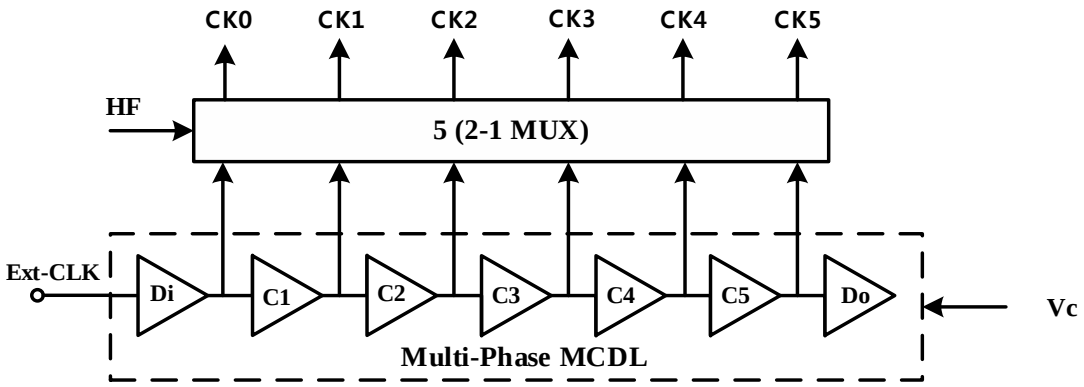
یکی از ویژگی‌های مدار تشنهٔ جریان این است که Iup و Idn مستقل از هم تنظیم می‌شوند؛ معمولاً متناسب با V_C جریانی تولید می‌شود که با نسبت مناسب در Iup و Idn آینه می‌شود. با توجه به رابطهٔ (۱۲) برای این‌که لبه‌های بالارونده و پایین‌رونده تأخیر یکسانی ببینند، به عبارتی دورهٔ کارکرد سیگنال ورودی تغییر نکند، نسبت W/L ترانزیستورهای PMOS ۲/۵ برابر ترانزیستورهای NMOS متناظر آن‌ها انتخاب شده است. لازم به ذکر است که این نکته در کلیهٔ مدارهای دیجیتال و آنالوگ رعایت شده است.

$$\Delta tup = \frac{C_{tot}\times VDD/2}{Iup}, \Delta tdn = \frac{C_{tot}\times VDD/2}{Idn} \quad (۱۲)$$

از جمله مشکلاتی که سلول‌های تأخیر با آن مواجه است تغییر جریان بایاس و در نتیجه میزان تأخیر با ولتاژ تغذیه و عدم تطبیق جریان ترانزیستورهای تشنه جریان NMOS و PMOS است. زیرا معمولاً در مدار بایاس سلول تأخیر از آینه جریان معمولی برای انتقال جریان تولید شده توسط ولتاژ کنترلی مدار CP به سلول استفاده می‌شود. در ولتاژهای نزدیک تغذیه و زمین ترانزیستورهای آینه جریان وارد ناحیه اهمی شده و عملکرد آینه جریان مختل می‌شود. از طرفی باعث افزایش ناخطینگی سلول تأخیر نیز می‌گردد. در این مدار برای کاهش وابستگی عملکرد مدار بایاس از آینه جریانی استفاده شده است که علاوه بر دقت بالا بازه تغییر ولتاژ خروجی وسیعی دارد [۲۴]. در این مدار از ساختار کسکد افزاینده بهره برای افزایش مقاومت خروجی و از معکوس‌کننده به عنوان تقویت‌کننده استفاده شده است. آینه جریان اصلی از ترانزیستورهای M به همراه تقویت‌کننده‌های A1 و A2 تشکیل شده است. A1 با تقویت سیگنال ورودی ولتاژ گیت ترانزیستورهای آینه جریان را بر عهده دارد. با توجه به این که ولتاژ گیت هم‌علامت با ولتاژ ورودی است. بهره تقویت‌کننده باید مثبت باشد. از این رو برای ساخت تقویت‌کننده از دو معکوس‌کننده پشت سر هم استفاده شده است.



شکل (۷) پیاده سازی ترانزیستوری آینه جریان .



شکل (۸) بلوک دیاگرام DL ارائه شده.

این ساختار مقاومت ورودی را A1 مرتبه کاهش می‌دهد که A1 در آن مقدار بهره تقویت‌کننده است. برای طبقه خروجی A2 تقویت‌کننده با بهره منفی لازم است که برای پیاده‌سازی آن از یک طبقه معکوس‌کننده استفاده شده است. این ساختار نیز مقاومت خروج آینه جریان را افزایش می‌دهد.

به این ترتیب آینه جریان با دقت بالا حاصل می‌شود که مقادیر مقاومت ورودی و خروجی آن به ترتیب با روابط و بیان می‌شود. که در آن g_{Mi} و g_{dsMi} به ترتیب ترارسانایی و ادمیتانس انتقالی ترانزیستور Mi هستند. از ظاهر روابط مشخص است که مقاومت ورودی مقدار کوچکی و مقاومت خروجی مقدار بزرگی دارد. شکل (۷) پیاده‌سازی ترانزیستوری آینه جریان را نشان می‌دهد. حداکثر ولتاژ مجاز خروجی و ورودی حداکثر مقادیر V_{DSsat} یا V_{inAmin} می‌باشد که V_{DSsat} ولتاژ اشباع ترانزیستور و V_{inAmin} حداقل ولتاژ مجاز تقویت‌کننده است. با توجه به مقادیر نوعی ترانزیستورها مشخص است که V_{inAmin} عامل اصلی محدودکننده در آینه جریان می‌باشد.

۴-۲- طراحی خط تأخیر

از آن‌جا که سیگنال خروجی DLL مستقیماً از DL می‌گذرد، کارآیی آن به طور قابل ملاحظه‌ای جیتر سیگنال خروجی و پایداری DLL را تحت تأثیر قرار می‌دهد. از این رو باید تا حد امکان طراحی آن به دقت انجام شود. مدار نهایی شامل یک خط تأخیر چندفازی کنترل‌شده با ولتاژ آنالوگ و بیت دیجیتالی(MMCDL)[1]، پنج تسهیم‌کنندهٔ ۲ به ۱، دو مدار مقسم به همراه دو انتخاب‌گر و فیلتر خروجی می‌باشد. برای افزایش پهنای‌باند DL روش دورهٔ تناوب قابل انتخاب استفاده شده است [۲۵]. به این ترتیب که بازهٔ فرکانسی DL توسط سیگنال HF به دو قسمت فرکانس بالا و فرکانس پایین تقسیم می‌شود. در صورتی که مقدار سیگنال HF صفر شود، مانند DL معمولی عمل می‌کند و اگر مقدار آن یک شود، در حالت فرکانس بالا قرار می‌گیرد و مدارهای مقسم سیگنال ورودی و خروجی MMCDL را تقسیم بر دو می‌کنند. به این ترتیب حلقه در نصف فرکانس ورودی قفل می‌شود.

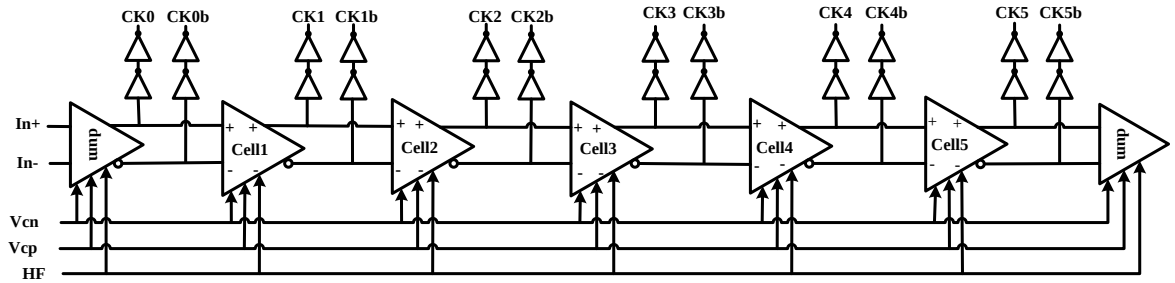
در حالت کلی اگر تعداد سلول‌های خط تأخیر M و نسبت تقسیم N باشد (N و M نسبت به هم اول هستند)، فاز خروجی jامین سلول تأخیر در MMCDL نسبت به کلاک ورودی نخستین سلول با رابطهٔ زیر بیان می‌شود:

$$\left(\frac{jN}{M}-\left[\frac{jN}{M}\right]\right).T_{REF} \qquad j=1:M \qquad (۱۳)$$

که در آن M, N و j اعداد صحیح بوده و نماد گوس[2] است. هر چند با این شرایط یک‌نواختی نسبت فاز یک‌نواخت بین سلول‌های تأخیر برقرار نیست، اما هنوز ویژگی چندفازی برقرار می‌باشد. در DL نوعی با فرض N=۱ و M=۵ در رابطهٔ (۱۴) برای فاز خروجی سلول‌ها داریم:

[1] Multi-Phase Mixed Control Delay Line

[2] Gauss



شکل(۹) DL چند فازی پنج طبقه با کنترل ترکیبی.

$$\frac{1}{5}T_{REF},\frac{2}{5}T_{REF},\frac{3}{5}T_{REF},\frac{4}{5}T_{REF},\frac{5}{5}T_{REF} \qquad (۱۴)$$

اما در این DL با فرض N=۲ و M=۵ فاز خروجی سلول‌های تأخیر به ترتیب زیر می‌باشند:

$$\frac{2}{5}T_{REF},\frac{4}{5}T_{REF},\frac{1}{5}T_{REF},\frac{3}{5}T_{REF},\frac{5}{5}T_{REF} \qquad (۱۵)$$

برای داشتن خروجی یک‌نواخت در هر دو حالت فرکانس بالا و پایین، از پنج تسهیم‌کنندهٔ ۲ به ۱ استفاده شده است. روابط (۱۶) و (۱۷) گسترهٔ فرکانسی مفید DL را به ترتیب برای عملکرد فرکانس پایین و بالا نشان می‌دهند که در آن‌ها $F_{ref(max)}$ فرکانس ورودی حداکثر و $F_{ref(min)}$ فرکانس ورودی حداقل می‌باشد.

$$F_{ref(max)} - F_{ref(min)} = \frac{1}{T_{d,min}} - \frac{1}{T_{d,max}} \quad (HF=0) \qquad (۱۶)$$

$$F_{ref(max)} - F_{ref(min)} = 2\left(\frac{1}{T_{d,min}} - \frac{1}{T_{d,max}}\right) \quad (HF=1) \qquad (۱۷)$$

مشاهده می‌شود که با اعمال مدار تقسیم‌کننده، گسترهٔ فرکانسی ورودی دو برابر افزایش پیدا کرده است، اما در مقابل اندازهٔ DL نیز دو برابر شده که منجر به افزایش توان مصرفی و تضعیف کارآیی جیتر خروجی می‌شود. از این رو فقط برای حدود فرکانس بالا تقسیم بر دو انجام می‌شود. در حالت فرکانس بالا برای عملکرد صحیح DLL باید رابطهٔ (۱۸) برقرار باشد که در آن T_{max} میزان تأخیر حداکثر، T_{min} تأخیر حداقل سلول تأخیر و T_{ref} دروهٔ تناوب سیگنال ورودی هستند. در ادامه عملکرد هر یک از بلوک‌ها و مدارهای مورد استفاده در آن‌ها، شرح داده می‌شود.

$$T_{MAX} \geq 2.T_{REF} \geq T_{min} \qquad (۱۸)$$

از آن‌جا که سیگنال خروجی DLL مستقیماً از MMCDL می‌گذرد، کارآیی آن به طور قابل ملاحظه‌ای جیتر سیگنال خروجی و پایداری DLL را تحت تأثیر قرار می‌دهد. از این رو باید تا حد امکان طراحی آن به دقت انجام شود.

برای تولید خروجی چندفازی، DL پنج‌طبقه استفاده شده است. دو سلول اضافی در ابتدا و انتهای DL و دو وارون‌گر در خروجی هر سلول قرار داده شده‌اند. بافرهای خروجی برای مجزا کردن اثر بارگذاری PFD از خروجی سلول تشنهٔ جریان در نظر گرفته شده‌اند و باعث می‌شوند که تمام گره‌های DL دارای بار یکسانی باشند. سلول‌های اضافی در ورودی و خروجی برای تطبیق طبقهٔ نهایی و نخست با گره‌های داخلی MMCDL و ایجاد تعادل در فازهای خروجی هستند. در اثر وجود گیت‌های وارون‌گر در خروجی هر سلول علاوه بر این‌که باعث می‌شوند هر گره در MMCDL بار یکسانی داشته و مستقل از بارش باشد، در اثر ویژگی بازتولید[1] گیت‌های پشت سر هم سیگنال مربعی در خروجی ایجاد شود. به دلیل استفاده از گیت‌های وارون‌گر و سلول‌های تأخیر اضافی همهٔ سلول‌ها تقریباً بار یکسانی دارند.

۵- نتایج شبیه‌سازی و مقایسه با کارهای قبلی

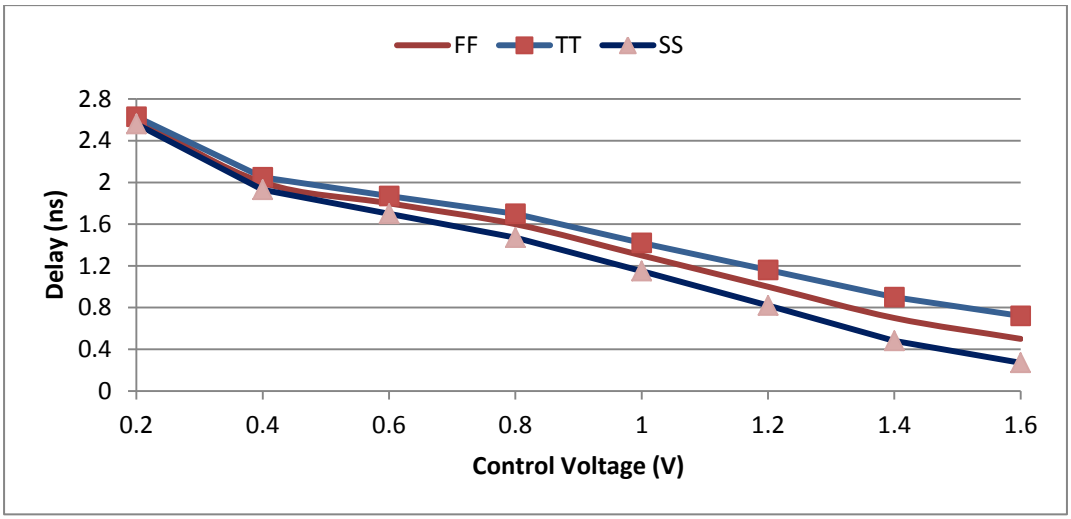
در این بخش مدارهای طراحی شده با استفاده از نرم‌افزار ADS بر مبنای تکنولوژی um 18/0 TSMC CMOSRF در سطح ترانزیستور شبیه‌سازی شدند. DL ترکیبی طراحی شده در بازهٔ فرکانسی MHz80 تا MHz 920 عملکرد مناسبی دارد. در فرکانس MHz920 توان مصرفی mW56/3 و جیتر سیگنال خروجی psec93/2 است.

با توجه به آینه جریان دقیق استفاده شده و اینکه تأخیر گیت انتقال مستقل از تغذیه است انتظار می‌رود مدار در مقابل تغییرات مشخصات گوشه مقاوم باشد. شکل (۱۰) تأخیر مدار را بر حسب ولتاژ کنترلی در ولتاژ کنترلی نشان می‌دهد. چنان که در شکل نیز مشخص حساسیت خیلی کمی به پارامترهای گوشه دارد.

در این بخش ۱۰۰ دورهٔ تناوب از شکل موج خروجی حلقه در فرکانس‌های مختلف (در هر ۱۰۰MHz) پس از قفل در نظر گرفته شده و مشخصه‌های مختلف حلقه برای آن با استفاده از روابط مناسب استخراج و به صورت نمودار نشان داده شده است. هم‌چنین در انتهای بخش همه مقادیر عددی به دست آمده به صورت متمرکز در جدولی آورده شده است.

نویز فاز تعریف شده در حوزهٔ فرکانس به صورت جیتر در حوزهٔ زمان خودنمایی می‌کند. جیتر در حقیقت تغییرات نقاط گذر از صفر و یا تغییرات تصادفی دوره‌ی تناوب یا فاز یک سیگنال می‌باشد. به عبارتی جیتر اندازه‌گیری آماری آثار نویز می‌باشد وقتی پریود هر سیکل به علت نویز با سیکل بعدی متفاوت است. همان‌طور که قبلاً عنوان شد جیتر یکی از عوامل اصلی تعیین کنندهٔ کیفیت کلاک است.

[1] Regeneration



شکل (۱۰) تأخیر نهایی سلول تأخیر بر حسب ولتاژ کنترل در شرایط مختلف تراشه.

کاهش جیتر یا نویز فاز از مهم‌ترین اهداف طراحان DLL می‌باشد. از آن‌جا که ورودی DL به خروجی DLL منتقل می‌شود، جیتر تولید شده و دورهٔ کارکرد خروجی نه تنها به طراحی DL بلکه به ورودی DL و نحوهٔ اتصال ورودی به DL نیز بستگی دارد. دقت و وضوح مورد نیاز در کاربرد مربوطه، جیتر قابل قبول در خروجی را تعیین می‌کند. به طور کلی عوامل تولید جیتر در DLL در دو دستهٔ تصادفی و سیستماتیک قرار می‌گیرند[۱۴]. نویز سیستماتیک ناشی از نویز سیگنال ورودی و عدم تطبیق قطعات و جیتر تصادفی ناشی از نویز زیرلایه، سطح تغذیه و بافرهای DL است که به طور مفصل در [۱۴] تشریح شده است. شبیه‌سازی نویز سیستماتیک با نرم‌افزار به راحتی امکان‌پذیر نیست و لازم است مدار معادل منابع نویز برای هر یک از قطعات به طور جداگانه اعمال شود.

جیتر تصادفی به دو شکل کلی جیتر مؤثر و سیکل به سیکل تعریف می‌شود. جیتر مؤثر میزان واریانس هر پریود را نسبت به پریود میانگین و جیتر سیکل به سیکل میزان واریانس هر پریود را نسبت به پریود قبلی آن اندازه‌گیری می‌کنند. روابط (۱۸) و (۱۹) تعریف ریاضی جیتر مؤثر و سیکل به سیکل را بیان می‌کنند:

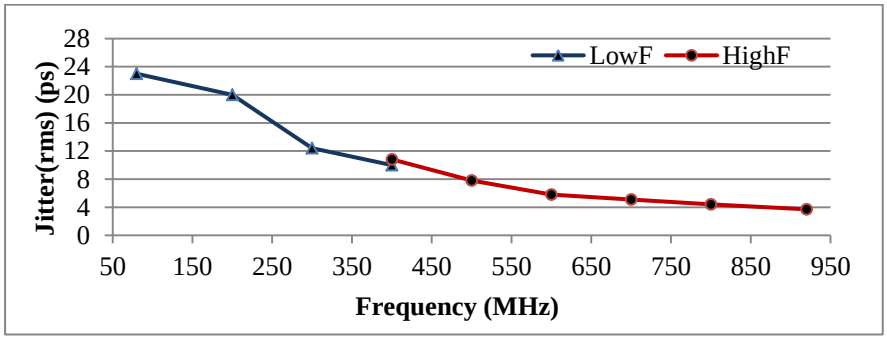
$$rmsJitter = \lim_{N\to\infty}\sqrt{\frac{1}{N}\sum_{n=1}^{N}\Delta Tn^2} \qquad (۱۹)$$

$$(C-C)Jitter = \lim_{N\to\infty}\sqrt{\frac{1}{N}\sum_{n=1}^{N}(T_{n+1}-T_n)^2} \qquad (۲۰)$$

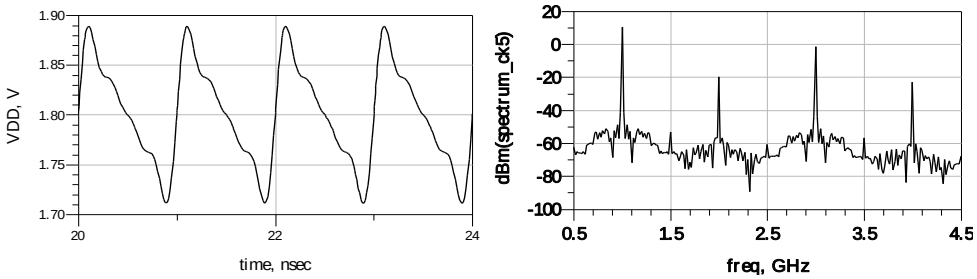
که در آن ΔTn نشان‌دهندهٔ اختلاف دورهٔ تناوب nام با مقدار ایده‌ال آن است. در نرم‌افزار ADS به منظور شبیه‌سازی نویز عناصر مداری از شبیه‌سازی گذرای نویز که یکی از پارامترهای شبیه‌ساز زمانی است استفاده شده است. پهنای باند نویز ۱۵GHz در نظر گرفته شده است. علاوه بر آن برای شبیه‌سازی اثر تغییرات ولتاژ منبع تغذیه و هم‌چنین نویز زیرلایه سیگنالی به صورت نویز به منبع تغذیه اضافه شده است. لازم به ذکر است که اثر نویز زیرلایه در میزان جیتر ایجاد شده مشابه نویز منبع تغذیه می‌باشد.

ولتاژ نویزی که به منبع تغذیه اضافه شده، ترکیبی از فرکانس خروجی به همراه تعدادی از هارمونیک‌های آن است که در مجموع سیگنالی با دامنهٔ ۱۰٪ منبع تغذیه را به خود اختصاص می‌دهد. به عنوان مثال در فرکانس ۹۲۰MHz نویزی که روی منبع اضافه شده، دارای فرکانس‌های ۹۲۰MHz ، ۲/۲GHz، ۳/۳GHz و ۴/۴GHz است. در حالت کلی می‌توان رابطهٔ زیر را برای تابعی که در فرکانس f به منبع تغذیه اعمال شده است به صورت زیر بیان کرد:

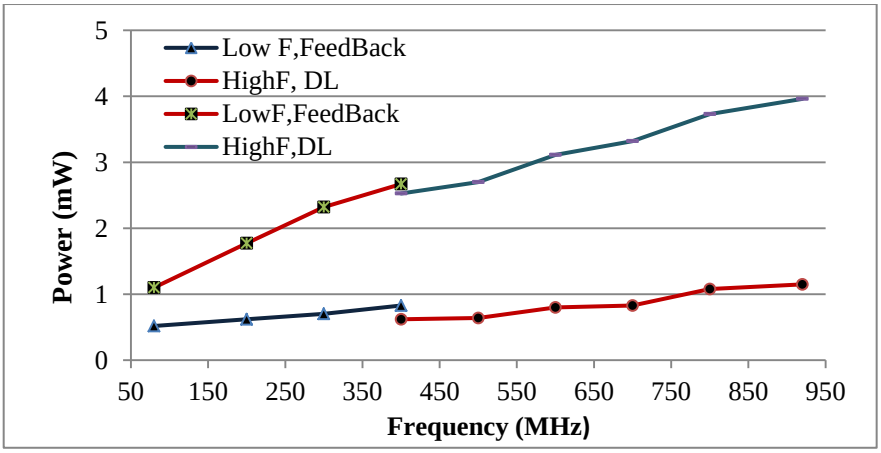
$$N(t) = 1.8 + 0.06\sin(2\pi ft) + 0.03\sin(2\pi(2\times f)t) + 0.02\sin(2\pi(3\times f)t) + 0.01\sin(2\pi(4\times f)t) \qquad (۲۱)$$



شکل (۲۱) نمودار جیتر مؤثر بر حسب فرکانس.



شکل (۲۲) ولتاژ تغذیه و طیف سیگنال خروجی در فرکانس ۹۰۰MHz در شرایط وجود نویز.



شکل (۲۳) نمودار توان مصرفی DL در فرکانس‌های مختلف.

جدول (۱): مشخصه‌های مختلف DLL در فرکانس‌های مختلف.

فرکانس ورودی	HF	جیتر(rms)	توان مصرفی (DL)
۸۰MHz	0	۲۳ psec	۱/۱ mW
۲۰۰MHz	0	۲۰ psec	۱/۷۷۴ mW
۳۰۰MHz	0	۱۲/۴ psec	۲/۳۲ mW
۴۰۰MHz	0	۱۰ psec	۲/۶۷ mW
۴۰۰MHz	0	۱۰/۸ psec	۲/۵۲۷ mW
۵۰۰MHz	1	۷/۸ psec	۲/۶۹۹ mW
۶۰۰MHz	1	۵/۸ psec	۳/۱۱ mW
۷۰۰MHz	1	۵/۱ psec	۳/۳۲۱ mW
۸۰۰MHz	1	۴/۴ psec	۳/۸۳ mW
۹۲۰MHz	1	۳/۷ psec	۳/۹ mW

جدول (۲): مقایسهٔ ساختار پیشنهادی با DLهای نمونه.

نوع ساختار	تکنولوژی	ولتاژ تغذیه	بازهٔ فرکانسی	جیتر (rms)	توان مصرفی
ساختار پیشنهادی	۰/۱۸ µm	۱/۸ V	۹۲۰ MHz -۸۰MHz	۳/۷ psec در ۹۲۰ MHz	۴/۰۷۵/mW در ۹۲۰ MHz
[۲]	۰/۱۳ µm	۱/۲ V	۵۳۰MHz-۲۷۰MHz	۲۰ psec در ۵۳۰ MHz	۴/۳ mW در ۵۳۰MHz
[۱۳]	۰/۱۳ µm	۱/۳ V	۶۷۰MHz-۹۰MHz	۱/۲ psec در ۶۷۰ MHz	۶/۴ mW در ۶۷۰MHz
[۱۰]	۰/۱۳ µm	۱/۲ V	۱۲۰MHz-۳۰MHz	۵/۹ psec در ۱۲۰ MHz	۱/۸ mW در ۱۲۰MHz
[۲۳]	۰/۱۳ µm	۱/۲ V	۴۵۰MHz-۱۵۰MHz	۳/۲۲psec در ۴۵۰MHz	۹/۵ mW در ۴۵۰MHz

با اعمال سیگنال N(t) در فرکانس‌های مختلف شکل (۲۱) برای جیتر حاصل شده است. شکل (۲۲) ولتاژ تغذیه و طیف سیگنال خروجی را در فرکانس 1GHz در شرایط وجود نویز نشان می‌دهد. با توجه به این‌که سلول تأخیر ارائه شده توان DC مصرف نمی‌کند انتظار می‌رود که توان مصرفی مدار پایین باشد. چنان‌که در شکل (۲۳) مشخص است، نتایج شبیه‌سازی این انتظار را اثبات کرد.

برای گزارش مقادیر عددی دقیق مشخصه‌ها جدول (۱) آورده شده است. در این بخش مشخصه‌های مختلف DL ارائه شده با چهار ساختار مختلفی مقایسه شد، که اطلاعات آن‌ها تقریباً به طور کامل در دسترس بودند و در حین انجام کار زیاد مورد استفاده قرار گرفتند. با توجه به مقادیر جدول مشخص است که بازهٔ فرکانسی به طور قابل ملاحظه‌ای افزایش پیدا کرده است، در عین حال توان مصرفی کم شده در حالی که مشخصهٔ جیتر در حد قابل قبولی حفظ شده است.

۶- نتیجه‌گیری

در این مطالعه ساختار پیشنهاد شده برای خط تأخیر ترکیبی به طور مفصل مورد بررسی قرار گرفت. این خط تاخیر برای استفاده در سیستم‌های مخابراتی نسل جدید طراحی شده است. ساختار پیشنهادی برای سلول تأخیر و مدار گرایش آن به هدف مقاومت بالا در برابر نویز و رفتار تقریباً خطی در بازهٔ ولتاژ کنترل از زمین تا تغذیه ارائه شده است. برای مصونیت در مقابل نویز مد مشترک ac از سلول‌های تشنهٔ جریان در ساختار تفاضلی بهره گرفته شده و با استفاده از روش تغذیهٔ بدنه و ترکیب دو مدار بایاس امکان تغییر خطبه‌خط با رفتار خطی فراهم شده است، در نتیجه علاوه بر افزایش کارآیی و دقت کل حلقه، امکان گسترش بازهٔ فرکانسی ایجاد گردیده است.

۷- مراجع

[1] Hao, Shilei, Tongning Hu, and Qun Jane Gu. "A 10-GHz delay line frequency discriminator and PD/CP-based CMOS phase noise measurement circuit." IEEE Transactions on Microwave Theory and Techniques 65, no. 7, pp.2361-2372, 2017.

[2] Yan, Zhimiao, Weipeng Sun, Muhammad R. Hajj, Wenming Zhang, and Ting Tan. "Ultra-broadband piezoelectric energy harvesting via bistable multi-hardening and multi-softening." Nonlinear Dynamics, pp.1-21, 2020.

[3] D. Shin, J. Song, H. Chae, and C. Kim, "A 7 ps Jitter 0.053 mm2 Fast Lock All-Digital DLL With a Wide Range and High Resolution DCC", IEEE JSSC, Vol. 44, No. 9, pp. 2437-2451, 2009.

[4] S. Kao, B. J. Chen, and S. I. Liu, "A 62.5–625MHz Anti-Reset All-Digital Delay-Locked Loop", IEEE Transactions on circuit and systems — II: Express Briefs, Vol. 54, No. 7, pp. 566-570, 2007.

[5] Figueiredo, Monica, and Rui L. Aguiar. "Time precision comparison of digitally controlled delay elements." In 2009 IEEE International Symposium on Circuits and Systems, pp. 2745-2748. IEEE, 2009.

[6] Mal, Agnish, Amit Krishna Dwivedi, and Aminul Islam. "A comparative analysis of various programmable delay elements using predictive technology model.", International Conference on Microelectronics, Computing and Communications (MicroCom), pp.1-5. IEEE, 2016.

[7] G. S. Jovanovica; M. K. Stojcev, "Current Starved Delay Element with Symmetric Load", International Journal of Electronics, Vol. 93, No. 3, pp. 167–175, 2006.

[8] R.J. Yang and S.I. Liu, "A Wide-Rang Multiphase Delay-Locked Loop Using Mixed-Mode VCDLs", IEICE Trans. Electron., Vol. E88-C, No. 6, pp.1248-1252, June 2005.

[9] Gholami, Mohammad, Hamid Rahimpour, Gholamreza Ardeshir, and Hossein Miar-Naimi. "A new fast-lock, low-jitter, and all-digital frequency synthesizer for DVB-T receivers." International Journal of Circuit Theory and Applications 43, no. 5, pp.566-578, 2015.

[10] L. Xia, H. Chen, Y. Huang, Z. Hong and P.Y. Chiang, "100-Phase, dual-loop delay-locked loop for impulse radio ultra-wideband coherent receiver synchronization", IET Circuits, Devices & Systems, Vol. 5, Issue. 6, pp. 484–493, 2011.

[11] D. Eckerbert, L.J. Svensson and P. Larsson-Edefors, "A Mixed- Mode Delay-Locked-Loop Architecture", Proceedings of the IEEE 21st International Conference on Computer Design (ICCD'03) 1063-6404/03, 2003.

[12] Choi, Woo-Seok, Tejasvi Anand, Guanghua Shu, and Pavan Kumar Hanumolu. "A fast power-on 2.2 Gb/s burst-mode digital CDR with programmable input jitter filtering." In 2013 Symposium on VLSI Circuits, pp. C280-C281. IEEE, 2013.

[13] McCauley, Richard, Barry Thompson, and Stefan Wurster. "Scaleable DLL clocking system." U.S. Patent 10,020,813, issued July 10, 2018.

[14] A. Ghaffari and A. Abrishamifar, "A Novel Wide-Range Delay Cell for DLLs," 4th IEEE International Conference on Electrical & Computer Engineering (ICECE), Dhaka, Bangladesh, Dec. 2006.

[15] A. Khattoi, "A Non-Sequential Phase Detector for Low Jitter Clock Recovery Applications", Master of Science dissertation in Department of Electrical and Computer Engineering, August 2010.

[16] M.H. Montaseri and H.M. Naimi, "Novel Temperature Independent Ring Oscillator", 9th WSEAS international conference on Electronics, hardware, wireless and optical communications, pp.100-104, 2010.

[17] Elshazly, Amr, Rajesh Inti, Brian Young, and Pavan Kumar Hanumolu. "Clock multiplication techniques using digital multiplying delay-locked loops." IEEE Journal of Solid-State Circuits 48, no. 6, pp.1416-1428, 2013.

[18] Jung, Seok Min. "Design and Implementation of Low Jitter Clock Generators in Communication and Aerospace System.", 2016.

[19] C.H. Kuo, M.F. Lin, and C. H. Chen, "A Multi-Band Delay- Locked Loop with Fast-Locked and Jitter-Bounded Features", IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, vol. 58, no. 1, Jan. 2011

[20] K.J. Hsiao and T.C. Lee, "An 8-10 GHz Distributed DLL for Multiphase Clock Generation", IEEE Journal of Solid-State Circuits, Vol. 44, No. 9, pp. 2478-2487, Sep. 2009.

[21] Jaehyouk Choi, Kyutae Lim and Joy Laskar, "A Ring VCO with Wide and Linear Tuning Characteristics for a Cognitive Radio System", IEEE Radio Frequency Integrated Circuits Symposium, 2008.

[22] Hassan Faraji Baghtash, Khalil Monfaredi, and Ahmad Ayatollahi, "Very Low Power, Low Voltage, High Accuracy, and High-Performance Current Mirror", Journal of Electronic Science and Technology, Vol. 9, No. 3, Sep 2011.

[23] Razavi, Behzad. "The Delay-Locked Loop [A Circuit for All Seasons]." IEEE Solid-State Circuits Magazine, Vol.10, no.3, pp.9-15, 2018.