(مقاله پژوهشی)

طراحی حلقه قفل تاخیر کم نویز با استفاده از مدار پمپ بار متقارن

مریم معاضدی[۱]، سید محمدرضا موسوی میرکلایی[۲]

moazedi@uma.ac.ir

۱- استادیار گروه علوم مهندسی، دانشکده فناوری‌های نوین، دانشگاه محقق اردبیلی، اردبیل، ایران
۲- استاد دانشکده مهندسی برق، دانشگاه علم و صنعت ایران، تهران، ایران

چکیده

در این مقاله، مدار جدیدی برای بلوک پمپ بار[۱](CP) برای کاربرد در حلقهٔ قفل تأخیر (DLL)[۲]طراحی و سپس با استفاده از نرم‌افزار ADS 2008 بر مبنای فناوری TSMC CMOSRF۰/۱۸ µm و ولتاژ تغذیهٔ ۱/۸ ولت در سطح ترانزیستور شبیه-سازی شده است. با استفاده از DLL می‌توان هم‌زمانی دقیقی بین سیگنال‌های کلاک داخلی و خارجی ایجاد کرد. در این مقاله، حلقهٔ قفل تأخیری شبیه‌سازی شده است که در آن به کمک مدار CP پیشنهادی مشکل عدم تطبیق جریان‌ها تا حد زیادی مرتفع شده و در نتیجه جیتر و خطای فاز استاتیکی در حد مطلوبی کاهش یافته است، به گونه‌ای که در نهایت جیتر مؤثر[۳]psec ۳/۷ در ۹۲۰MHz حاصل گردید. در این حلقه، با وجود این که سیگنال‌های UP و DN در هر دورهٔ تناوب متناسب با ناحیهٔ کور فعال هستند، اما جریان قابل توجهی در خروجی CP جاری نمی‌شود، زیرا در آن سیگنال‌های UP و DN در محل منبع جریان قرار دارند و با روشن شدن هر کدام امکان انتقال جریان به خروجی مربوط به خودش در CP فراهم می‌شود. در عین حال، مانع انتقال جریان مربوط به کلید دیگری در صورت روشن شدن آن می‌شود.

واژگان کلیدی: حلقهٔ قفل تأخیر، پمپ بار، تشخیص‌دهنده فاز و فرکانس، جیتر.

تاریخ دریافت مقاله: ۱۴۰۰/۰۹/۲۶
تاریخ ویرایش مقاله: ۱۴۰۰/۱۱/۱۵
تاریخ پذیرش مقاله: ۱۴۰۰/۱۱/۲۳

DOI: 10.22034/IJMST.2022.543500.1552

صص ۱۱-۱

[1] Charge Pump
[2] Delay Locked Loop
[3] RMS

مقدمه

در شناورهای دریایی امروزی اغلب عملیات ناوبری در یگان‌های شناور سطحی و زیرسطحی با استفاده از سامانه‌های ناوبری الکترونیکی و مخابراتی انجام می‌شود. در سامانه‌های ناوبری با هدایت رادیویی، یک ایستگاه رادیویی به‌طور مرتب سیگنال‌هایی را به اطراف می‌فرستد. شناوری که این سیگنال‌ها را دریافت می‌کند با استخراج مختصاتی که در سیگنال گنجانده شده است، مختصات خود را به دست می‌آورد و با استفاده از نقشه‌های استاندارد، مسیر خود را پیدا می‌کند. در سامانه‌های ناوبری هرچه قدر بخش‌های مختلف بهینه‌تر باشند، دقت ارائه سرویس‌ها نیز افزایش خواهد یافت. لازم به‌ذکر است که به‌کارگیری چند سامانه ناوبری با یکدیگر می‌تواند به افزایش دقت ارائه سرویس، کمک نماید که این امر مستلزم هماهنگی دقیق بخش‌های مختلف با یکدیگر است. همزمانی بخش‌های مختلف سخت‌افزاری در هر سامانه الکترونیکی و مخابراتی توسط سیگنال کلاک انجام می‌شود.

امروزه، مدارهای مجتمع و SOC[1]در مسیر اصلی توسعه و پیشرفت قرار دارند. با ادامهٔ مقیاس‌بندی در فناوری CMOS و افزایش فرکانس و کارآیی سیستم‌های VLSI، مسألهٔ زمان‌بندی و هم‌زمان‌سازی در طراحی سیستم توزیع کلاک دچار چالش‌های زیادی شده است، زیرا کیفیت کلاک تولید شده به نوعی تعیین کنندهٔ کارآیی کل سامانه ناوبری می‌باشد [۱]. گرچه می‌توان با تأخیر دادن سیگنال فاز را انتقال داد، اما این روش قدرت‌مندی در برابر تغییرات ناشی از فرآیند، ولتاژ و دما[2] (PVT) نیست. امروزه حلقهٔ قفل تأخیر (DLL[3]) یکی از ابزارهای هم‌زمان‌سازی و کاهش انحراف[4]و جیتر[5]در شبکه‌های کلاک محسوب می‌شوند که وظیفه هماهنگی سیگنال‌های ورودی و خروجی سامانه‌های ناوبری را بر عهده دارند و تا حد امکان بهتر است قیمت پایین، پهنای باند وسیع، جیتر کم، توان مصرفی پایینی دارا بوده و در برابر تغییرات فرایند مقاوم باشد [۲]. وظیفهٔ اصلی DLL ایجاد تأخیر مناسب در سیگنال ورودی است.

در مدار کنترلی DLL های چندفازی آنالوگ که در شکل (۱) نشان داده شده است، معمولاً از PFD و CP به همراه خازن استفاده می‌شود. برای تولید ولتاژ کنترلی قابل درک برای خط تأخیر لازم است از خروجی PD انتگرال‌گیری شود. مشکل PFD وجود ناحیه کور در منحنی انتقال آن است که علاوه بر کاهش بازه تشخیص و محدود کردن فرکانس کاری آن، باعث می‌شود جریان‌های I_{up} و I_{dn} متناسب با زمان آن به طور هم‌زمان در مدار خروجی CP جاری باشند. هرگونه اختلافی بین این دو جریان منجر به تولید جیتر در سیگنال خروجی و نوسان ولتاژ خروجی CP می‌شود. با توجه به عدم تطبیق ذاتی ترانزیستورهای PMOS و NMOS این کار به راحتی امکان پذیر نیست. با توجه به این‌که وجود ناحیه کور در PFD اجتناب ناپذیر است، افزایش میزان تطبیق I_{up} و I_{dn} در CP از مهم‌ترین چالش‌های موجود در طراحی مدار کنترلی خط تأخیر هستند. عمده تلاش‌ها در طراحی CP، طراحی آینه جریان بهینه متمرکز است. یکی از ایده‌های اساسی مطرح شده در این زمینه استفاده از فیدبک برای افزایش مقاومت خروجی و در نتیجه دقت آینه جریان است.

روش‌های دیگری مانند کسکد ولتاژ پایین، کسکد تا شده و آینه جریان ویلسون ولتاژ پایین وجود دارند که هر یک مشکلاتی نیز برای CP فراهم می‌کنند [۲و۳]

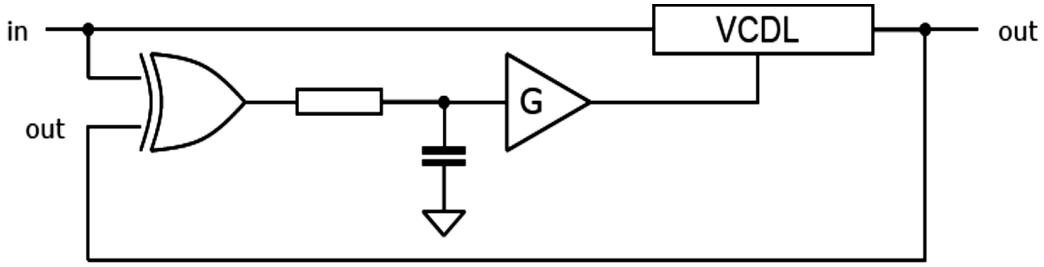
یکی از روش‌های جدید برای غلبه بر مشکل عدم تطبیق روش هدایت جریان است که چون در CP تفاضلی مورد استفاده قرار گرفته است، نیاز به مدار مبدل تفاضلی به تک انتهایی در خروجی خود دارد. به طورکلی CP و فیلتر حلقه نقش تعیین‌کننده در جیتر و زمان ردگیری حلقه دارند و می‌توانند کارآیی حلقه را تحت تأثیر قرار دهند. بنابراین، باید توجه زیادی به انتخاب نوع و طراحی آن معطوف کرد.

در این مقاله، تاخیر کارآیی حلقه قفل با ارائه یک مدار CP جدید، بهبود یافته است. در مدار پیشنهای، از یک آینه جریان[6]RGC بهبودیافته بهره گرفته شده است که در آن با استفاده از روش هدایت جریان، مشکل عدم تطبیق تا حد زیادی حل شده است. در صورتی که جریان CP در لحظات فعال شدن همزمان کلیدهای UP و DN کاهش

[1] System-on-Chip
[2] PVT
[3] Delay Locked Loop
[4] Skew
[5] Jitter
[6] Regulated Cascode

پیدا کند، خطای جریان هم متناسب با آن کوچک‌تر می‌شود.

در بخش دوم این مقاله مدارهای پمپ بار مطرح شده در منابع علمی روز به طور مختصر مرور خواهد گردید. به منظور بهبود کارآیی و حل مشکلات موجود مداری پیشنهاد شده است که در بخش بعدی تشریح گردیده است.



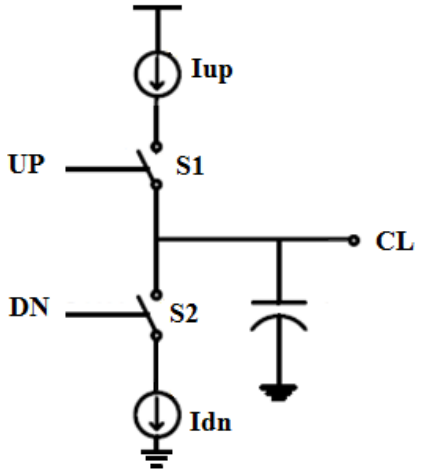
شکل (۱) حلقهٔ DLL با فیلتر RC.

ارزیابی مدار پیشنهادی بر مبنای شبیه‌سازی‌های انجام شده در بخش چهارم انجام شده است. نتیجه گیری و مقایسه با نمونه‌های مشابه بخش نهایی مقاله را تشکیل داده است.

مروری بر مدارهای پمپ بار

امروزه از یک CP به همراه خازن C انتگرالگیری در PFD استفاده می‌شود. خازن C به همراه مقاومت مؤثری که از CP می‌بیند، قطب غالب حلقه را می‌سازد. CP کلید الکترونیکی سه حالته‌ای است که با سه حالت PFD کنترل می‌شود. شکل (۲) شمای ساده‌ای از مدار CP را نشان می‌دهد. یک منبع جریان DC، جریان I_{CP} را ایجاد می‌کند. سپس، این جریان توسط آینه جریان‌های مناسب به خروجی CP منتقل می‌شود. در نهایت، خازن C توسط کلیدهای UP و DN متناسب با اختلاف جریان‌های I_{up} و I_{dn} شارژ می‌شود [۳].

دو هدف مهم در طراحی مدار CP، تطبیق بالای جریان‌های I_{up} و I_{dn} در بازهٔ وسیعی از ولتاژ خروجی و سرعت بالای کلید زنی در آن است. برای این منظور، آینه جریان مورد استفاده در آن باید تا حد امکان ولتاژ پایین بوده و امپدانس خروجی بزرگ و پاسخ فرکانسی خوبی دارا باشد. روش کلاسیک برای CP استفاده از آینه جریان کسکد ولتاژ پایین است. از آنجایی که مقاومت خروجی خیلی بزرگی ندارد، تطبیق خوبی بین I_{up} و I_{dn} ایجاد نمی‌کند. یکی از ایده‌های اصلی برای افزایش مقاومت خروجی در آینه جریان استفاده از فیدبک است. با استفاده از تقویت‌کنندهٔ مناسب در حلقهٔ فیدبک می‌توان میزان تغییر ولتاژ درین - سورس در ترانزیستور خروجی را در اثر تغییرات ولتاژ خروجی کاهش داد. در [۴-۶] نمونه‌هایی از تقویت‌کننده سورس- مشترک ارائه شده است که در آن‌ها با استفاده از روش‌های مداری مقاومت خروجی و دقت آینه جریان بهبود یافته است.



شکل (۲) شمای سادهٔ مدار CP.

برای تأمین ولتاژهای خروجی نزدیک زمین و تغذیه این تقویت‌کننده باید در ناحیهٔ وارونگی ضعیف[1]قرار گیرد که در این صورت بهرهٔ حلقه و در نتیجه مقاومت خروجی آن کاهش می‌یابد. در صورت جایگزینی تقویت‌کنندهٔ ساده با تقویت‌کنندهٔ تفاضلی عملیاتی (Op-Amp)[2] سوییینگ خروجی بالاتری فراهم می‌شود. Op-Amp ها به شکل‌های متنوعی در مدارهای CP مورد استفاده قرار گرفته‌اند [۹-

[1] Weak Inversion
[2] Operational-Amplifier

۷]. در حالت کلی هرچند با بهره‌گرفتن از Op-Amp می‌توان به میزان تطبیق مطلوب در CP دست یافت، اما سطح و توان مصرفی مدار افزایش می‌یابد. در CP هایی که از Op-Amp استفاده می‌کنند، تطبیق تا زمانی وجود دارد که تقویت کننده در ناحیهٔ بهرهٔ بالای خود قرار گیرد.

آینه جریان کارآمد دیگری که در مدارهای CP مورد استفاده قرار می‌گیرد، آینه جریان ویلسون می‌باشد [۱۰]. مشکل این آینه جریان نیز پاسخ فر کانسی محدود آن می‌باشد که باعث می‌شود در کاربردهای فرکانس بالا مناسب نباشد. ساختار کسکد تاشده مقاومت خروجی را افزایش داده، در عین حال سوییینگ خروجی را برای تغذیه ولتاژ پایین حفظ کرده است. برای داشتن خروجی تک انتهایی در این مدار به مبدل تفاضلی به تک انتهایی نیاز است. خازن خروجی CP دراین حالت در خروجی مبدل مذکور قرار می‌گیرد. عدم تطبیق در CP در مدت زمان روشن بودن همزمان کلیدهای UP و DN منجر به خطای آفست در خروجی حلقه می‌شود که مقدار آن با رابطه (۱) بیان می‌شود:

$$\theta_{offset} = 2\pi.\frac{\Delta I_{CP} T_{idl}}{I_{CP} T_{ref}} \qquad (۱)$$

که در آن، θ_{offset} خطای آفست فاز ورودی، T_{ref} دوره تناوب کلاک مرجع T_{idl} مدت زمان متناسب با ناحیه کور PFD، I_{CP} جریان نامی CP و ΔI_{CP} خطای عدم تطبیق CP است. مشخص است که در صورت ثابت نگه داشتن بقیه مقادیر با افزایش I_{CP} آفست کاهش می‌یابد، اما در شرایط معمول با افزایش I_{CP} میزان عدم تطبیق (ΔI_{CP}) نیز بیش‌تر می‌شود. اما اگر مدار چنان طراحی شود، جریان خروجی که فقط در لحظاتی که UP و DN همزمان روشن هستند، مقدار عدم تطبیق و در نتیجه آفست نیز کاهش می‌یابد [۱۱].

به طور کلی دو نوع دسته‌بندی برای مدارهای CP وجود دارد. دسته‌بندی نخست بر اساس مکان کلیدهای مورد استفاده در آن انجام می‌شود. بسته به این‌که کلید UP و DN توسط کدام یک از پایه‌های ترانزیستور خروجی آینه جریان عمل قطع و وصل را انجام دهند، سه نوع CP به وجود می‌آید (CP) با کلیدزنی در پایهٔ درین، کلیدزنی در پایهٔ گیت و کلیدزنی در پایهٔ سورس [۱۲]). در CP با کلیدزنی در پایهٔ درین، ترانزیستور مربوط به منبع جریان هنگام قطع کلیدهای UP و DN در ناحیهٔ اهمی قرار می‌گیرد. در لحظهٔ وصل کلیدها، پدیدهٔ تسهیم بار رخ می‌دهد که موجب عدم تطبیق بالا و تولید بالازدگی[1]در خروجی می‌شود [۱۳]. در کلیدزنی در پایهٔ گیت نیز هرچند ترانزیستور منبع جریان همواره در اشباع است، اما با تحریک کلید لازم است خازن میلر شارژ یا تخلیه شود. از آن‌جا که گره کنترلی امپدانس خیلی بالایی دارد، حتی یک جریان خیلی کوچک منجر به جهش ولتاژ بزرگی می‌شود. از طرفی دیگر، برای داشتن زمان کلیدزنی کوچک جریان گرایش بزرگی لازم دارد. از این رو، در این روش نیز بالازدگی بزرگی در خروجی دیده می‌شود. CP با کلیدزنی در پایهٔ سورس با هیچ‌کدام از این مشکلات مواجه نیست؛ از آن‌جا که خازن میلری منبع امپدانس پایینی می‌بینند و با جریان کوچکی می‌تواند کار کند، خازن انگلی کوچک و سرعت کلیدزنی بالایی دارد. بالازدگی کوچکی که در خروجی آن ایجاد می‌شود، فقط ناشی از پدیدهٔ عبور رو به جلوی کلاک[2]است و با استفاده از ترانزیستورهای اضافی مناسب می‌توان اثر آن را کاهش داد [۱۴].

دسته‌بندی دیگر بر اساس تک انتهایی و تفاضلی بودن مدار است. هر چند مدارهای تک انتهایی از مشکلاتی مانند عدم تطبیق ذاتی بین NMOS و PMOS، تسهیم بار، سوییینگ ولتاژ محدود و نویزپذیری بالا رنج می‌برد، اما استفاده از این مدار به دلیل توان و سطح مصرفی کم و مقاومت خروجی بزرگ معمول‌تر است. در CP های تک‌انتهایی معمولاً از کلیدها و آینه جریان‌های PMOS برای کنترل عملیات UP و از نوع NMOS برای DN استفاده می‌شود. به دلیل مشخصه‌های غیرایده‌آل ترانزیستورهای PMOS و NMOS و عدم تطبیق ذاتی بین NMOS و PMOS در عمل تطبیق کامل جریان I_{up} و I_{dn} غیرممکن است. حتی اگر در شرایط نوعی[3]با انتخاب دقیق اندازهٔ ترانزیستورها تطبیق حاصل شود، عدم تطبیق قابل توجهی در فرآیندهای کناری[4]ایجاد خواهد شد.

مدار CP پیشنهادی

به طور خلاصه مدار CP با کلیدزنی در پایهٔ سورس و به

[1] Glitch
[2] Clock-Feed-Through
[3] Typical
[4] Process Corners (Fast-NMOS Slow-PMOS (FNSP) or Slow-NMOS Fast-PMOS (SNFP))

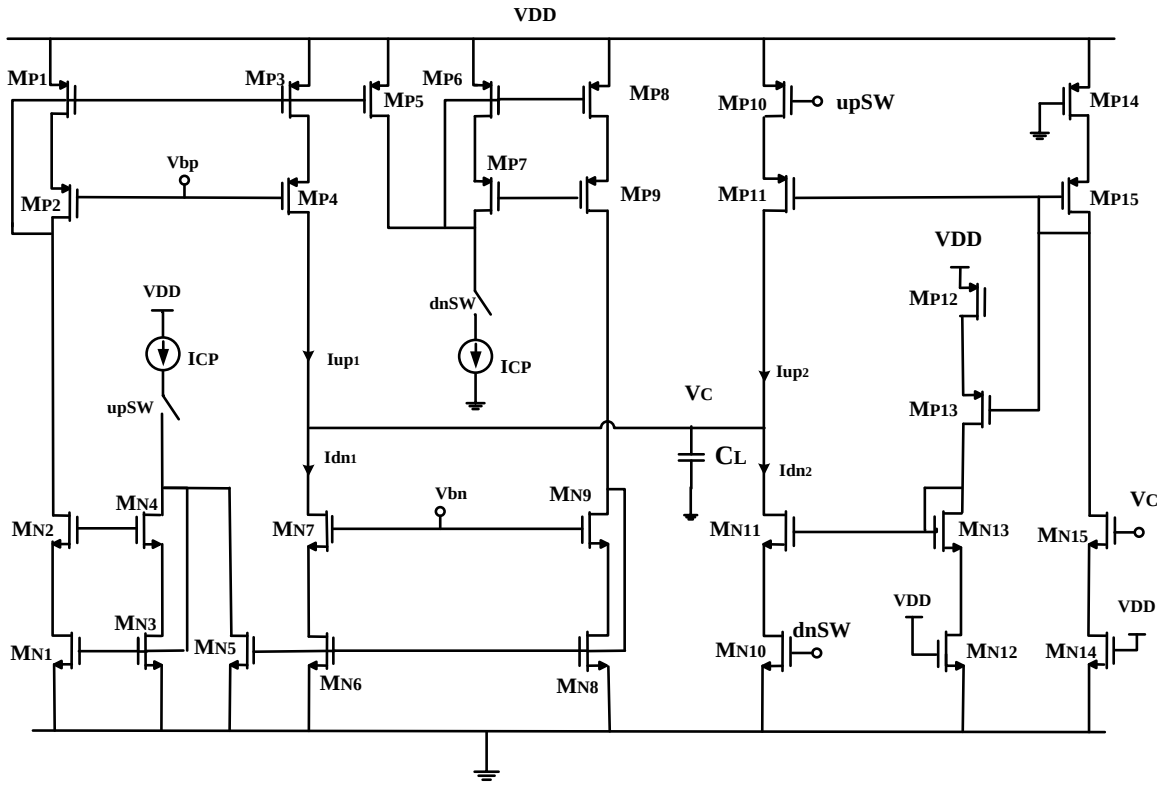
دلیل ساختار ساده، عملکرد سریع و مصرف توان کم‌تر به دو ساختار دیگر ترجیح دارد. با مطرح شدن عدم تطبیق در CP، کاهش زمان ناحیهٔ کور در PFD اهمیت بیش‌تری پیدا می‌کند. در این مقاله، برای CP از آینه جریان با RGC استفاده شد. این مدار علاوه بر موارد اشاره شده، سوییینگ خروجی محدودی دارد. برای افزایش سوییینگ از آینه جریان ویلسون بهبود یافته ولتاژ پایین [۱۰] استفاده کردیم. هر چند این آینه جریان در حالت DC تطبیق خوبی در بازه وسیعی از ولتاژ خروجی فراهم می‌کند، اما با اعمال در مدار CP، نتایج شبیه‌سازی جیتر و خطای فاز استاتیکی بزرگی را نشان دادند. مشخصهٔ مهم دیگری که باید در طراحی CP و فیلتر حلقه مورد توجه قرار گیرد، زمان ردگیری[1] حلقه است. زمان ردگیری مدت زمانی است که طول می‌کشد تا حلقه به خطای فاز پاسخ دهد. با توجه به این‌که این مشخصه با جیتر حلقه در تقابل است و کاهش یکی دیگری را افزایش می‌دهد، در طراحی فیلتر و CP توازن بین این دو مشخصه باید در نظر گرفته شود.

در مدار CP پیشنهادی تلاش کردیم تا حد امکان مشکلات اشاره شده برطرف گردند. علت اصلی مشکلات موجود در طراحی CP این است که به دلیل وجود پالس‌های باریک UP و DN در هر دورهٔ تناوب، پس از قفل نیز کلیدهای UP و DN در CP در هر دورهٔ تناوب روشن می‌شوند. معمولاً آینه جریان PMOS جریان I_{up} و آینه جریان NMOS جریان I_{dn} را تأمین می‌کنند. با توجه به این‌که ترانزیستورهای نوع NMOS سریع‌تر هستند، پالس‌های جریانی غیر یکسان در خروجی تولید می‌شود. در مدار CP ارائه شده در این مقاله با استفاده از روش هدایت جریان مشکل عدم تطبیق تا حد زیادی حل شده است. در صورتی که جریان CP در لحظات فعال شدن همزمان کلیدهای UP و DN کاهش پیدا کند، خطای جریان هم متناسب با آن کوچک‌تر می‌شود.

در مدار پیشنهادی پس از قفل شدن حلقه، با وجود این‌که سیگنال‌های UP و DN در هر دورهٔ تناوب متناسب با ناحیهٔ کور فعال هستند، اما جریان قابل توجهی در خروجی CP جاری نمی‌شود، زیرا در آن سیگنال‌های UP و DN مستقیم به خروجی CP اعمال نمی‌شوند، بلکه در محل منبع جریان قرار دارند و با روشن شدن هر کدام امکان انتقال جریان به خروجی مربوط به خودش در CP فراهم می‌شود.

در عین حال، مانع انتقال جریان مربوط به کلید دیگری در صورت روشن شدن آن می‌شود. شکل (۳) مدار CP ارائه شده را نشان می‌دهد. به عنوان مثال، با فعال شده کلید UP و تولید جریان I_{up1} ترانزیستور MP5 نیز فعال می‌شود. حال اگر کلید DN همزمان با کلید UP روشن شود، جریان I_{CP} که در حالت عادی از طریق MP6,7 آینه شده و I_{dn1} را تولید می‌کند، بیش‌تر تمایل دارد که از مسیر ترانزیستور MP5 که مقاومت کوچک‌تری دارد، عبور کند. در نتیجه جریان اندکی به خروجی راه می‌یابد. همین‌طور کلید DN موجب فعال شدن ترازیستور MN5 می‌شود که عملکرد مشابهی دارد. حداقل و حداکثر ولتاژ مجاز خروجی CP به ترتیب عبارتند از: (Vbn_{min}-Vth_N) و [VDD- (Vbp_{max}-Vth_P)].

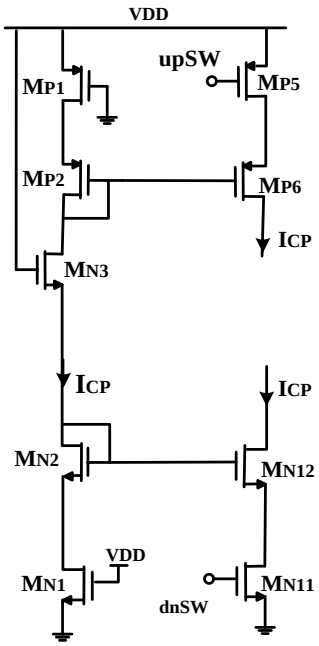
[1] Tracking Time



شکل (۳) مدار CP پیشنهادی.

که در آن، Vth_N و Vth_P ولتاژ آستانه ترانزیستورهای NMOS و PMOS و Vbn_{min} و Vbp_{max} به ترتیب حداقل و حداکثر ولتاژ مجاز ولتاژهای بایاس در گره‌های Vbn و Vbp هستند که به ترتیب با عبارات (Vth_N+2V_{DSsat}) و $[VDD-(Vth_P+2\ V_{DSsat})]$ بیان می‌شوند. انتظار می‌رود بازه تغییرات ولتاژ خروجی به طوری که آینه جریان دقیق عمل کند از ۰/۲ تا ۱/۶ ولت باشد. اگر WDLL بزرگ‌تر از WLOOP باشد، حلقه به خطای دیده شده در PFD سریع‌تر از اطلاعات فاز جدید در حلقه پاسخ می‌دهد. در نتیجه فیلتر نوسان می‌کند که به عنوان جیتر در خروجی دیده می‌شود. از طرفی اگر با کاهش آن زمان قفل و به عبارتی سرعت حلقه کاهش می‌یابد.

میزان تغییر VC در هر دورهٔ تناوب متناسب با KDL و اختلاف فاز سیگنال‌های ورودی و خروجی است. در فرکانس‌های پایین هرچند که WDLL کاهش پیدا کند، زمان ردگیری حلقه افزایش می‌یابد؛ اما چون KDL کمی بزرگ‌تر می‌شود و عرض سیگنال UP/DN بیش‌تر می‌شود. در نتیجه، میزان تغییر VC به ازای اختلاف فاز ثابت بیش‌تر می‌شود. از این رو، احتمال نوسان حلقه در VC های پایین، افزایش می‌یابد. برای جلوگیری از این مسأله چنان‌که در شکل هم دیده می‌شود، منبع جریان متغیر استفاده شده است.

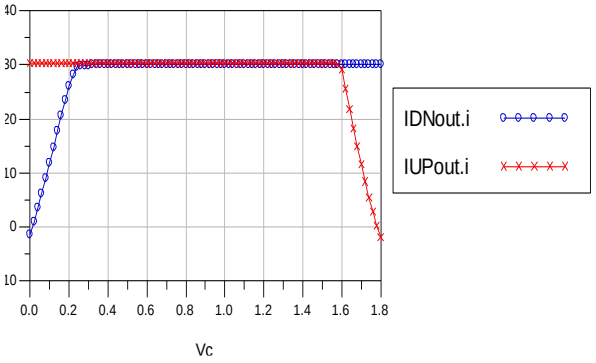


شکل (۴) مولد جریان CP

چنان‌که در شکل هم مشخص است، ترانزیستورهای MN10/MP10 تا N15 /MP15 منبع جریان متغیر را تشکیل می‌دهند. در ولتاژهای کنترل پایین به دلیل توضیح داده شده در بالا غیرفعال بوده و جریان‌های Iup2 و Idn2 صفر هستند. با افزایش ولتاژ کنترل که معادل با افزایش فرکانس است، جریان افزایش یافته و در نتیجه سرعت حلقه بیش‌تر می‌شود. ترانزیستورهای MN14/MP14 و MN12/MP12 برای تطبیق بهتر شاخه‌های آینه جریان استفاده شده‌اند. به عبارت دیگر، خطای ناشی از وجود کلیدهای UP و DN در خروجی را جبران می‌کنند. هر چند می‌توانستیم برای تولید جریان I_{dn2} به طور مستقیم از V_C استفاده کنیم. در این صورت، در مسیر جریان I_{up2} یک آینه جریان ساده PMOS قرار داشت و با توجه به اینکه ترانزیستورهای NMOS سریع‌تر هستند، عدم تطبیق شدید در CP مشاهده می‌شد [۱۳و۱۴]. برای کاهش اثر آن نه تنها I_{dn2} را نیز از آینه جریان عبور می‌دهیم، بلکه یک آینه جریان NMOS اضافی در مسیر آن وجود دارد تا خطای ناشی از سرعت کم‌تر ترازیستورهای PMOS را متعادل کند. علاوه بر نحوهٔ طراحی مدار، نحوهٔ چینش اجزاء مدار و به عبارتی طرح جانمایی مدار در کارآیی CP نقش مهمی دارد. به عنوان نمونه می‌توان برای کاهش عدم تطبیق و فشردگی بیش‌تر طرح جانمایی، عناصر مدار را به صورت تاخورده و مقاومت‌های اهمی را به صورت تقسیم شده و متقارن در کناره‌های طرح جانمایی قرار داد و از جانمایی مرکز مشترک[۱۷] برای آینه‌های جریان استفاده کرد [۱۵و۱۶]. برای پیش‌گیری از مدولاسیون طول کانال، می‌توان از قطعات با کانال بلند بهره برد و طرح جانمایی را به دقت ترسیم کرد [۱۷و۱۸].

نتایج شبیه‌سازی

ابتدا آینه جریان استفاده شده در ساختار پمپ بار در حالت DC بررسی می‌شود. شکل (۵) جریان‌های شاخه‌های خروجی CP را نشان می‌دهد. همان‌طور که از شکل مشخص است، در بازهٔ ۰/۲ تا ۱/۶ ولت جریان‌های I_{up} و I_{dn} با تقریب خوبی یکسان می‌باشند، در نتیجه ولتاژ کنترلی خط تأخیر می‌تواند در این بازه تغییر کند. در مقادیر بزرگ‌تر از ۱/۶ولت و کوچک‌تر از ۰/۲ولت هنوز جریان‌های I_{up} و I_{dn} صفر نیستند.



شکل (۵) جریان‌های خروجی CP.

اما سرعت حلقه کاهش قابل توجهی پیدا می‌کند و در نتیجه کارآیی حلقه تضعیف می‌شود. سپس، ۱۰۰ دورهٔ تناوب از شکل موج خروجی حلقه در فرکانس‌های مختلف (در هر ۱۰۰MHz) پس از قفل در نظر گرفته شده و مشخصه‌های مختلف حلقه برای آن با استفاده از روابط مناسب استخراج و به صورت نمودار نشان داده شده است.

نویز فاز تعریف شده در حوزهٔ فرکانس به صورت جیتر در حوزهٔ زمان خود نمایی می‌کند. جیتر تصادفی به دو شکل کلی جیتر مؤثر و سیکل به سیکل تعریف می‌شود. جیتر مؤثر میزان واریانس هر دوره تناوب را نسبت به دوره تناوب میانگین و جیتر سیکل به سیکل میزان واریانس هر دوره تناوب را نسبت به دوره تناوب قبلی آن اندازه‌گیری می‌کنند.

روابط (۲) و (۳) تعریف ریاضی جیتر مؤثر و سیکل به سیکل را بیان می‌کنند:

$$rmsJitter = \lim_{N\to\infty}\sqrt{\frac{1}{N}\sum_{n=1}^{N}\Delta Tn^2} \qquad (۲)$$

$$(C-C)Jitter = \lim_{N\to\infty}\sqrt{\frac{1}{N}\sum_{n=1}^{N}(T_{n+1}-T_n)^2} \qquad (۳)$$

که در آن، ΔTn نشان‌دهندهٔ اختلاف دورهٔ تناوب n ام با مقدار ایده‌ال آن است. در نرم‌افزار ADS به منظور شبیه‌سازی نویز عناصر مداری از شبیه‌سازی گذرای نویز که یکی از پارامترهای شبیه‌ساز زمانی می‌باشد، استفاده شده است. پهنای باند نویز ۱۵GHz در نظر گرفته شده است. علاوه بر آن، برای شبیه‌سازی اثر تغییرات ولتاژ منبع تغذیه و هم‌چنین نویز زیرلایه سیگنالی به صورت نویز به منبع تغذیه اضافه شده است. لازم به ذکر است که اثر نویز زیرلایه در میزان جیتر ایجاد شده، مشابه نویز منبع تغذیه

[1] Common Centroid

می‌باشد. ولتاژ نویزی که به منبع تغذیه اضافه شده، ترکیبی از فرکانس خروجی به همراه تعدادی از هارمونیک‌های آن است که در مجموع سیگنالی با دامنهٔ ۱۰٪ منبع تغذیه را به خود اختصاص می‌دهد.

به عنوان مثال، در فرکانس ۹۲۰MHz نویزی که روی منبع اضافه شده، دارای فرکانس‌های ۹۲۰MHz، ۲GHz، ۳ GHz و ۴GHz است. در حالت کلی می‌توان رابطهٔ (۳) را برای تابعی که در فرکانس f به منبع تغذیه اعمال شده است، به صورت رابطه (۴) بیان کرد.

$$N(t)=1.8+0.06\sin(2\pi ft)+0.03\sin(2\pi(2\times f)t) \\ +0.02\sin(2\pi(3\times f)t)+0.01\sin(2\pi(4\times f)t) \quad (۴)$$

با اعمال این سیگنال در فرکانس‌های مختلف شکل (۶) برای جیتر حاصل شده است. مشاهده می‌گردد در بدترین حالت جیتر حدود ۲۳ پیکوثانیه است. شکل (۷) ولتاژ تغذیه و طیف سیگنال خروجی را در فرکانس ۹۰۰ MHz در شرایط وجود نویز نشان می‌دهد. اختلاف متوسط پالس-های ساعت بین فازهای دو سیگنال در زمانی که حلقه قفل شده است، خطای فاز استاتیکی نامیده می‌شود.

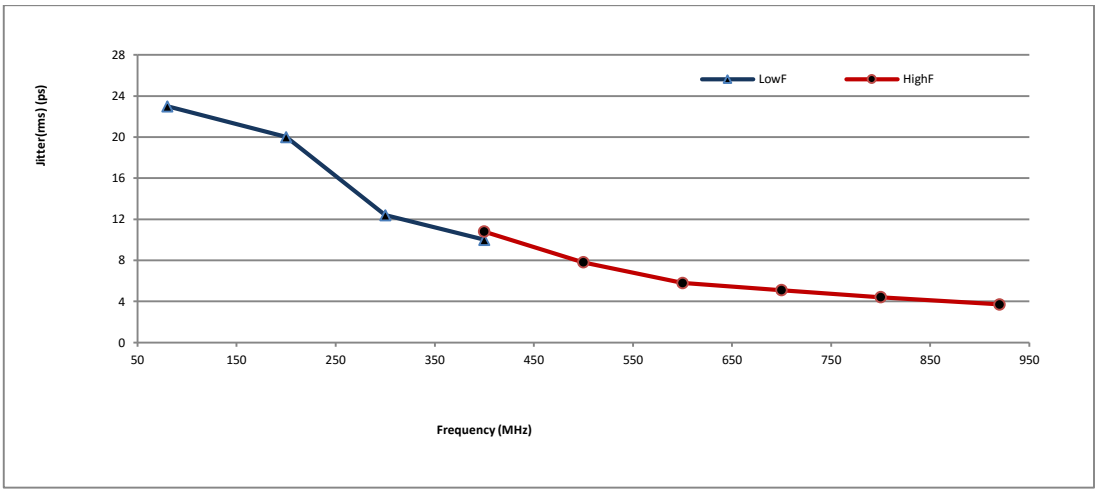
مقدار عددی خطای فاز استاتیکی سیگنال خروجی برای N دورهٔ تناوب را می‌توان با رابطهٔ (۵) بیان کرد:

$$\text{Static- Phase- Error} = \frac{1}{N}\sum_{n=1}^{N}(T_n-\bar{T})\times\frac{2\pi}{T} \quad (۵)$$

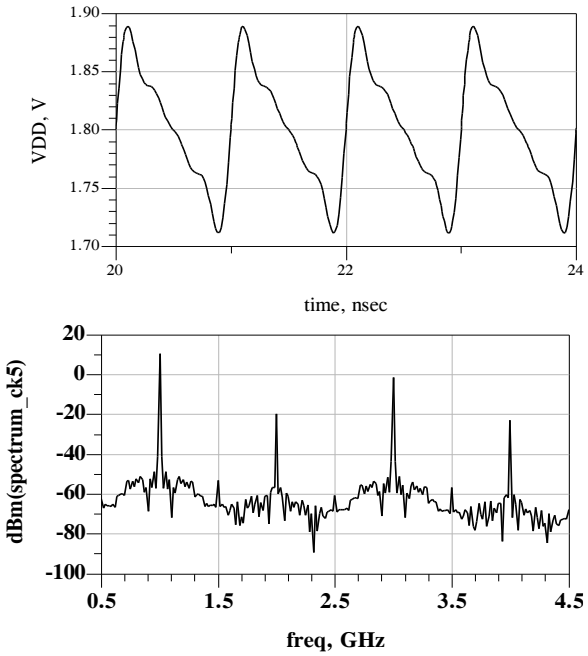
اگر بهرهٔ DC حلقه محدود باشد، سیگنال خروجی به دست آمده، خطای فازی به همراه خواهد داشت که در معادلهٔ (۶) نشان داده شده است:

$$H(s)\big|_{s=0}=\frac{1}{1+\dfrac{1}{K_{PFD}K_{DL}K_{CP}F(s)\big|_{s=0}}} \quad (۶)$$

با توجه به رابطه (۶) انتظار می‌رود خطای فاز استاتیکی در مدار صفر باشد، اما با شبیه‌سازی و اندازه‌گیری خطای فاز استاتیکی به کمک رابطهٔ (۵) مقادیر غیرصفر حاصل شد که ناشی از رفتار غیرایده‌آل حلقه است.



شکل (۶) نمودار جیتر مؤثر بر حسب فرکانس



شکل (۷) ولتاژ تغذیه و طیف سیگنال خروجی در فرکانس ۹۰۰MHz در شرایط وجود نویز.

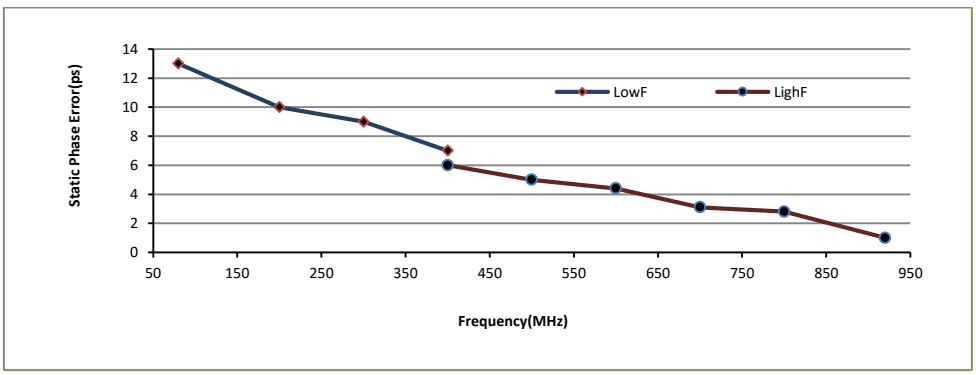
شکل (۸) نمودار خطای فاز استاتیکی شبیه‌سازی شده را در فرکانس‌های مختلف نشان می‌دهد. زمان قفل طبق تعریف عبارتست از فاصلهٔ زمانی بین اعمال سیگنال و نقطهٔ قفل مدار. نقطهٔ قفل مدار لحظه‌ای است که ولتاژ کنترلی ثابت شده و دیگر تغییر نمی‌کند. زمان قفل حلقه بستگی مستقیمی به مقدار خازن و جریان CP دارد. به توجه به این‌که در ساختار ارائه شده مقدار خازن حلقه خیلی کوچک (۰/۵pF) و جریان CP به اندازهٔ کافی بزرگ است، زمان قفل نسبتاً کوتاه است. شکل (۹) زمان قفل را بر حسب تعداد سیکل در فرکانس‌های مختلف نشان می-دهد.ابعاد ترانزیستورهای داخلی مدار CP صورت جدول (۱) آورده شده است. برای این‌که درک بهتری از ابعاد ترانزیستورها حاصل شود، کلیهٔ مقادیر بر حسب ضریبی از نصف حداقل ابعاد ممکن در فناوری ۱۸/۰m μ (L=0.09001μm) بیان شده است. هم‌چنین ترانزیستورهای PMOS و NMOS ای که در یک شاخه قرار دارند و نسبت ۲/۵ در مورد آن‌ها رعایت شده است در یک عبارت گزارش شده است. به عنوان نمونه، عبارت $\frac{12/30}{3}$ برای MN2/MP2 به این معنی است که طول کانال هر دو برابر $L=3\times L=0.27mm$ و عرض کانال‌های MN2 و MP2 به ترتیب برابر $W_{N2}=12\times L=1.08\mu m$ و $W_{P2}=30\times L=2.7\mu m$ می‌باشند. ترانزیستورهایی که مقدار آن‌ها در جداول زیر قید نشده است، دارای حداقل ابعاد هستند. در جدول (۲) مشخصات مدار پیشنهادی با چند نمونه جدید مقایسه شده است.

جدول (۱) ابعاد ترانزیستورهای مدار CP بر حسب ضریب L.

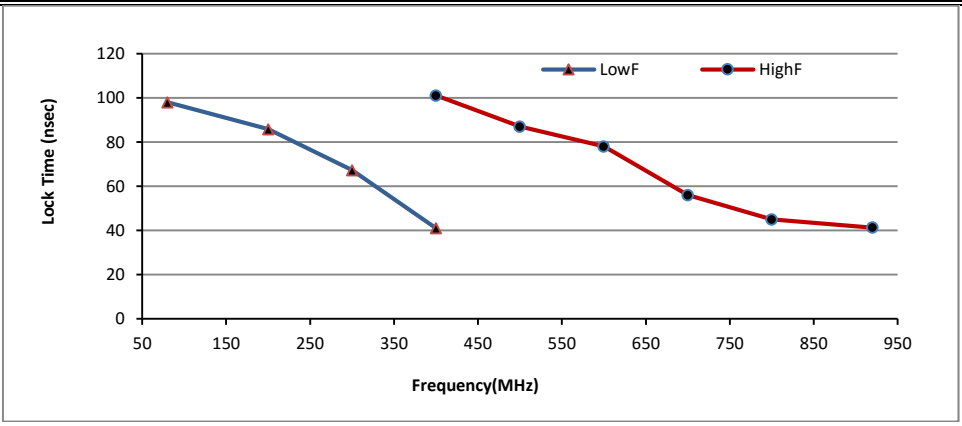
$M_{N1,2,6-9}$	10/6	$M_{P1,2,6-9}$	25/6	M_{N5}	8/3
$M_{N10,12,14}$	20/2	$M_{P10,12,14}$	50/2	$M_{N11,13,215}$	24/5
M_{P5}	15/3			M_{P11-13}	30/5

جدول (۲) مقایسه مدار پیشنهادی با نمونه‌های موجود

مشخصات	[۶]	[۷]	[۸]	این مقاله
جریان‌خروجی(μA)	0.2-1.2	0.5-1.5	1-1.8	0.2-1.6
ولتاژ (V)	1.8V	1.6V	2.2V	1.8V
توان (μW)	32	35	56	28
خازن (pA)	0.8	1.2	0.7	0.54
بازده (%)	50	60	85	80



شکل (۸) نمودار خطای فاز استاتیکی در فرکانس‌های مختلف



شکل (۹) نمودار زمان قفل در فرکانس‌های مختلف

مشاهده می‌شود که مدار پیشنهادی بازه جریان بالاتری نسبت به دیگر مدارها دارد، در حالی که توان پایین‌تری مصرف می‌کند.

نتیجه‌گیری

در این مقاله، برای بلوک CP مدار جدیدی پیشنهاد شد که از جاری شدن هم‌زمان جریان‌های خروجی حتی در زمان قفل جلوگیری می‌کند. در نتیجه، علاوه بر جلوگیری از ایجاد فرکانس‌های جعلی در خروجی، کاهش قابل توجهی در خطای فاز استاتیکی و جیتر ناشی از عدم تطبیق جریان‌های خروجی مشاهده شد. هم‌چنین، با اضافه کردن جریان متغیر با V_C سرعت قفل حلقه به ویژه در فرکانس‌های پایین افزایش قابل توجهی پیدا کرده است.

مراجع

[۱] سید محمدرضا موسوی و عبدالجبار کمالی، "مقاوم‌سازی حلقه ردیابی فاز حامل در گیرنده‌های GPS با دینامیک زیاد با استفاده از کنترل‌کننده فازی تنظیم‌شده مبتنی بر الگوریتم ژنتیک به منظور ناوبری دریایی"، فصلنامه علوم و فناوری دریا، جلد ۷۹، شماره ۱، ص ۱-۱۰، ۱۳۹۵.

[۲] سید محمدرضا موسوی و عبدالجبار کمالی، "مقاوم‌سازی حلقه ردیابی فاز حامل در گیرنده های GPS با دینامیک زیاد با استفاده از کنترل‌کننده فازی تنظیم‌شده مبتنی بر الگوریتم ژنتیک به منظور ناوبری دریایی"، فصلنامه علوم و فناوری دریا، جلد ۷۹، شماره ۱، ص ۱-۱۰، ۱۳۹۵.

[3] Srivastava, Shanker, H., Srivastava, N. and Baghel, R.K., "A common source cascaded MOS feedback charge pump with wide lock in range for DLL", IEEE Conference on Signal Processing, Communication, Power and Embedded System (SCOPES), pp.1291-1301, 2016.

[4] Zhimiao, Y., Sun, W., Hajj R. M., Zhang W., and Tan T., "Ultra-broadband piezoelectric energy harvesting via bistable multi-hardening and multi-softening", Nonlinear Dynamics, Vol.100, pp.1057-1077, 2020.

[5] Liao, F.R., and Lu, S.S., "A programmable edge-combining DLL with a current-splitting charge pump for spur suppression", IEEE Transactions on Circuits and Systems II: Express Briefs, Vol.57, No.12, pp.946-950, 2010.

[6] Zhicong L., Yu, L.C., and Ker M.D., "An efficient, wide-output, high-voltage charge pump with a stage selection circuit realized in a low-voltage CMOS process", IEEE Transactions on Circuits and Systems I: Regular Papers, Vol.66, No.9, p.3437-3444, 2019.

[7] Andrea, B., Dario Grasso A., and Palumbo G., "A review of charge pump topologies for the power management of IoT nodes", Electronics, Vol.8, No.5, pp.1-15, 2019.

[8] Andrea, B., Grasso, A.D., and Palumbo G., "Charge pump improvement for energy harvesting applications by node pre-charging", IEEE Transactions on Circuits and Systems II: Express Briefs, Vol.67, No.12, p.3312-3316. 2020.

[9] Zhicong, L., Ker, M.D., Cheng, Wan-Hsueh, and Ting-Yang Yen, "Regulated charge pump with new clocking scheme for smoothing the charging current in low voltage CMOS process", IEEE Transactions on Circuits and Systems I: Regular Papers, Vol.64, No.3, pp.528-536. 2016.

[10] Mekky, R.H. and Dessouky, M., "Design of a low-mismatch gain-boosting charge pump for phase-locked loops", IEEE Conference on Microelectronics (ICM), pp.321-324, 2007.

[11] Xia, L., Chen, H., Huang, Y., Hong, Z. and Chiang, P.Y., "100-Phase, dual-loop delay-locked loop for impulse radio ultra-wideband

coherent receiver synchronization", IET Circuits, Devices & Systems, Vol.5, No.6, pp.484-493, 2011.

[12] Choi, W. S., Tejasvi A., Guanghua Sh., and Pavan Kumar H., "A fast power-on 2.2 Gb/s burst-mode digital CDR with programmable input jitter filtering", Symposium on VLSI Circuits, pp.280-281, 2013.

[13] Ghaffari, A. and Abrishamifar, A., "A novel wide-range delay cell for DLLs", 4th IEEE International Conference on Electrical and Computer Engineering (ICECE), Dhaka, Bangladesh, 2006.

[14] Ammar, A.M., Spliid, F.M., Nour, Y., and Knott, A., "Analysis and design of a charge-pump-based resonant AC–DC converter with inherent PFC capability", IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol.8, No.3, pp.2067-2081, 2020.

[15] Chuang C.N., "A 0.5–5-GHz wide-range multiphase DLL with a calibrated charge pump", IEEE Transactions on circuit and systems, Vol.54, No.11, pp.939-943, 2007.

[16] Kuo, C.H., Lin, M.F., and Chen, C.H., "A multi-band delay-locked loop with fast-locked and jitter-bounded features", IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, Vol.58, No.1, 2011.

[17] Nath, H., Sharma, S., Verma, A., & Kaur, B., "Comparative Analysis of a Dopingless Tunnel FET and MOSFET-Based Current Mirror", In Recent Trends in Electronics and Communication", pp. 899-913, 2022.

[18] Chen, Y., Han, Y., & Wang, S., "A High Swing Charge Pump with Current Mismatch Reduction for PLL Applications", IEICE Electronics Express, 18-20200434, 2021.